

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-188727

(43)Date of publication of application : 04.07.2003

(51)Int.Cl.

H03M 1/44

(21)Application number : 2001-384369

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 18.12.2001

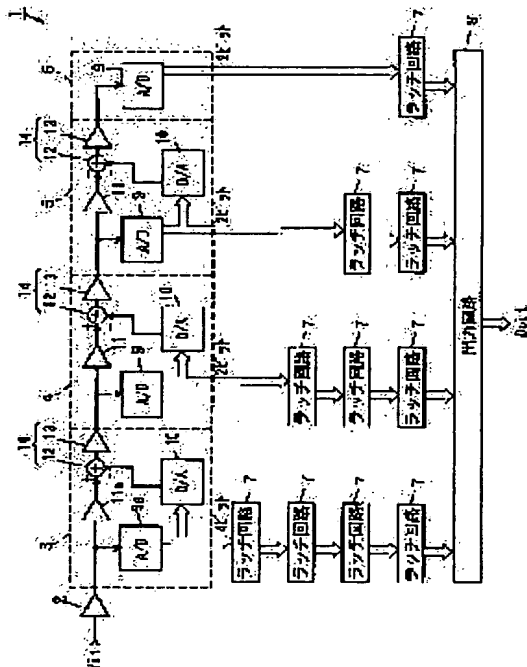
(72)Inventor : NIKAI NORIHIRO
KATO KENICHI
KIMURA YASUYUKI
TANI KUNIYUKI
WADA ATSUSHI

(54) ANALOG/DIGITAL CONVERTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pipeline type analog/digital (A/D) converter circuit in which a change in the voltage range of an analog input signal or change of an input system between a differential double end input and a single end input can be easily performed without redesigning a circuit configuration.

SOLUTION: When the voltage range of the analog input signal is V_{INp-p} , the full scale range of a sub A/D converter 9 is switched to V_{INp-p} , and the gain of an operational amplifier circuit 11a is switched into single. When the voltage range of the analog input signal is $V_{INp-p}/2$, the full scale range of the sub A/D converter 9 is switched to $V_{INp-p}/2$ and the gain of the operational amplifier circuit 11a is switched into double.



LEGAL STATUS

[Date of request for examination]

16.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3733062

BEST AVAILABLE COPY

[Date of registration] 21.10.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-188727

(P2003-188727A)

(43) 公開日 平成15年7月4日(2003.7.4)

(51) Int.Cl.⁷
H03M 1/44

識別記号

F I
H03M 1/44テーマコード(参考)
5J022

審査請求 未請求 請求項の数15 O L (全 27 頁)

(21) 出願番号 特願2001-384369(P2001-384369)

(22) 出願日 平成13年12月18日(2001.12.18)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 二改 教広

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 加藤 健一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100098305

弁理士 福島 祥人

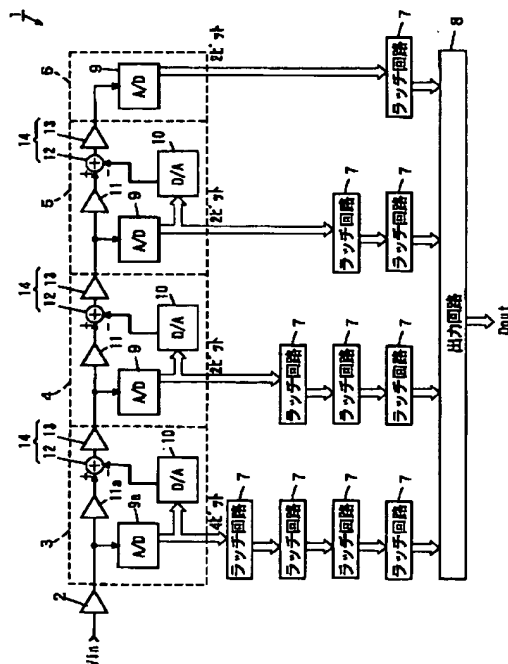
最終頁に続く

(54) 【発明の名称】 アナログ-デジタル変換回路

(57) 【要約】

【課題】 回路構成の再設計を行うことなくアナログ入力信号の電圧レンジの変更または差動ダブルエンド入力とシングルエンド入力との間の入力方式の変更を容易に行うことができるパイプライン型アナログ-デジタル変換回路を提供することである。

【解決手段】 アナログ入力信号の電圧レンジが V_{IN_0} のときに、サブA/Dコンバータ9のフルスケールレンジは V_{IN_0} に切り替えられ、演算増幅回路11aの利得は1倍に切り替えられる。アナログ入力信号の電圧レンジが $V_{IN_0}/2$ のときに、サブA/Dコンバータ9のフルスケールレンジは $V_{IN_0}/2$ に切り替えられ、演算増幅回路11aの利得は2倍に切り替えられる。



【特許請求の範囲】

【請求項1】 複数段の回路からなる多段パイプライン構成を有し、
最終段の回路を除く各段の回路は、
入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、
前記アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、
入力されるアナログ信号と前記デジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する第1の演算増幅回路とを備え、
最終段の回路は、入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器を含み、
最終段の回路を除く少なくとも1段の回路が、フルスケールレンジを複数段に切り替える切り替え手段を有するアナログーデジタル変換器、フルスケールレンジを複数段に切り替える切り替え手段を有するデジタルーアナログ変換器および利得を複数段に切り替える切り替え手段を有する第1の演算増幅回路のうち少なくとも1つを含み、および/または最終段の回路がフルスケールレンジを複数段に切り替える切り替え手段を有するアナログーデジタル変換器を含むことを特徴とするアナログーデジタル変換回路。

【請求項2】 最終段の回路を除く各段の回路は、入力されたアナログ信号を増幅して前記第1の演算増幅回路に与える第2の演算増幅回路をさらに含み、最終段の回路を除く少なくとも1段の回路の前記第2の演算増幅回路は、利得を複数段に切り替える切り替え手段を有することを特徴とする請求項1記載のアナログーデジタル変換回路。

【請求項3】 最終段の回路を除く少なくとも1段の回路の前記第1の演算増幅回路は、利得を複数段に切り替える切り替え手段を有することを特徴とする請求項1または2記載のアナログーデジタル変換回路。

【請求項4】 少なくとも1段の回路の前記アナログーデジタル変換器は、フルスケールレンジを複数段に切り替える切り替え手段を有することを特徴とする請求項1～3のいずれかに記載のアナログーデジタル変換回路。

【請求項5】 最終段の回路を除く少なくとも1段の回路の前記デジタルーアナログ変換器は、フルスケールレンジを複数段に切り替える切り替え手段を有することを特徴とする請求項1～4のいずれかに記載のアナログーデジタル変換回路。

【請求項6】 前記少なくとも1段の回路の前記第2の演算増幅回路は、入力容量、帰還容量および演算増幅器を有し、入力されたアナログ信号を前記入力容量の値および前記帰還容量の値により定まる利得で増幅し、前記切り替え手段は、前記入力容量の値および前記帰還容量の値の少なくとも一方を可変に設定する可変部を含む

むことを特徴とする請求項2記載のアナログーデジタル変換回路。

【請求項7】 前記可変部は、前記入力容量または前記帰還容量の一部を切り離された状態または短絡された状態に切り替える切り替え部を含むことを特徴とする請求項6記載のアナログーデジタル変換回路。

【請求項8】 前記少なくとも1段の回路の前記第1の演算増幅回路は、入力容量、帰還容量および演算増幅器を有し、入力されたアナログ信号を前記入力容量の値および前記帰還容量の値により定まる利得で増幅し、前記切り替え手段は、前記入力容量の値および前記帰還容量の値の少なくとも一方を可変に設定する可変部を含むことを特徴とする請求項3記載のアナログーデジタル変換回路。

【請求項9】 前記可変部は、前記入力容量または前記帰還容量の一部を切り離された状態または短絡された状態に切り替える切り替え部を含むことを特徴とする請求項8記載のアナログーデジタル変換回路。

【請求項10】 前記帰還容量は、前記演算増幅器の入力端子と出力端子との間に並列または直列に設けられた第1および第2の容量を含み、
前記切り替え部は、前記第2の容量に直列または並列に接続されたことを特徴とする請求項9記載のアナログーデジタル変換回路。

【請求項11】 前記切り替え部は、前記演算増幅器の出力端子に接続されたことを特徴とする請求項10記載のアナログーデジタル変換回路。

【請求項12】 前記入力容量は、前記演算増幅器の入力端子に並列または直列に設けられた第1および第2の容量を含み、
前記切り替え部は、前記第2の容量に直列または並列に接続されたことを特徴とする請求項9記載のアナログーデジタル変換回路。

【請求項13】 前記切り替え部前は、前記第2の容量の入力側に接続されたことを特徴とする請求項12記載のアナログーデジタル変換回路。

【請求項14】 少なくとも1段の回路の前記アナログーデジタル変換器は、複数の基準電圧を発生する基準電圧発生回路と、前記基準電圧発生回路により発生された複数の基準電圧を入力されたアナログ信号と比較する複数の比較器とを含み、

前記切り替え手段は、前記基準電圧発生回路により発生される複数の基準電圧を可変に設定する可変部を含むことを特徴とする請求項4記載のアナログーデジタル変換回路。

【請求項15】 最終段の回路を除く少なくとも1段の回路の前記デジタルーアナログ変換器は、基準電圧を発生する基準電圧発生回路と、共通の端子に接続される複数の容量と、前記基準電圧発生回路と前記複数の容量との間に接続され、入力されるデジタル信号に応じて前記

基準電圧発生回路により発生された基準電圧を前記複数の容量にそれぞれ与える複数のスイッチとを含み、前記切り替え手段は、前記基準電圧発生回路により発生される基準電圧を可変に設定する可変部を含むことを特徴とする請求項5記載のアナログーデジタル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多段パイプライン（ステップフラッシュ）構成を有するアナログーデジタル変換回路に関する。

【0002】

【従来の技術】近年、ビデオ信号のデジタル処理技術の進歩に伴い、ビデオ信号処理用のアナログーデジタル変換回路（A/Dコンバータ）の需要が大きくなっている。ビデオ信号処理用のアナログーデジタル変換回路には高速変換動作が要求されるため、従来、2ステップフラッシュ（2ステップパラレル）方式が広く用いられていた。

【0003】しかし、変換ビット数の増大に伴い、2ステップフラッシュ方式では十分な変換精度が得られなくなってきたため、多段パイプライン（ステップフラッシュ）構成を有するアナログーデジタル変換回路が開発された。

【0004】図23は特開平11-88172号公報に開示された従来のアナログーデジタル変換回路を示すブロック図である。図23のアナログーデジタル変換回路100は、10ビット4段パイプライン構成を有する。

【0005】図23において、アナログーデジタル変換回路100は、サンプルホールド回路2、1段目～4段目の回路3～6、複数のラッチ回路7および出力回路8から構成されている。

【0006】1段目（初段）～3段目の回路3、4、5は、サブA/Dコンバータ9、D/Aコンバータ10、演算増幅回路11、減算回路12および演算増幅回路13を備える。減算回路12および演算増幅回路13が減算増幅回路14を構成する。1段目の回路3内の演算増幅回路11の利得は1であり、1段目の回路3内の演算増幅回路13および2段目および3段目の回路4、5内の演算増幅回路11、13の利得は2である。4段目（最終段）の回路6は、サブA/Dコンバータ9のみを*40

* 備える。

【0007】1段目の回路3は4ビット構成、2～4段目の回路4～6はそれぞれ2ビット構成である。1～3段目の回路3～5において、サブA/Dコンバータ9およびD/Aコンバータ10のビット数（ビット構成）は同じに設定されている。

【0008】

【発明が解決しようとする課題】ここで、上記のアナログーデジタル変換回路100では、アナログ入力信号V_{in}の電圧レンジをV_{IN_{max}}。とすると、1段目の回路3内のサブA/Dコンバータ9のフルスケールレンジはアナログ入力信号の電圧レンジV_{IN_{max}}。と等しい。2～4段目の回路4～6内のサブA/Dコンバータ9のフルスケールレンジはそれぞれ1～3段目の回路3～5の減算増幅回路14の出力電圧レンジV_{IN_{max}}。/8と等しい。

【0009】また、1段目の回路3内のD/Aコンバータ10のフルスケールレンジはサブA/Dコンバータ9と同様にアナログ入力信号V_{in}の電圧レンジV_{IN_{max}}。と等しい。2段目および3段目の回路4、5内のD/Aコンバータ10の電圧のフルスケールレンジは利得2を有する演算増幅回路11の出力電圧レンジとの整合を取るためにサブA/Dコンバータ9のフルスケールレンジの2倍のV_{IN_{max}}。/4となる。

【0010】次に、図23のアナログーデジタル変換回路1の動作を説明する。サンプルホールド回路2は、アナログ入力信号V_{in}をサンプリングして一定時間保持する。サンプルホールド回路2から出力されたアナログ入力信号V_{in}は、1段目の回路3へ転送される。

【0011】1段目の回路3において、サブA/Dコンバータ9は、電圧レンジV_{IN_{max}}。のアナログ入力信号V_{in}に対してアナログーデジタル変換を行う。ここで、サブA/Dコンバータ9のフルスケールレンジは、上記のようにV_{IN_{max}}。である。サブA/Dコンバータ9のアナログーデジタル変換結果であるデジタル出力（2³、2²、2¹、2⁰）は、D/Aコンバータ10へ転送されるとともに、4つのラッチ回路7を介して出力回路8へ転送される。D/Aコンバータ10の正規出力電圧レンジは、次式のように表される。

【0012】

$$\begin{aligned} & (1 \text{ 段目の分解能} - 1) \times (D/A \text{ コンバータ} 10 \text{ のフルスケールレンジ}) / \\ & (1 \text{ 段目の分解能}) \\ & = (2^4 - 1) \times (V_{IN_{max}}) / 2^4 \\ & = 15 V_{IN_{max}} / 16 \end{aligned}$$

一方、演算増幅回路11は、アナログ入力信号V_{in}をサンプリングして増幅および保持する。演算増幅回路11※

※ 1の出力電圧レンジは、次式のように表される。

【0013】

$$\begin{aligned} & (アナログ入力信号 V_{in} \text{ の電圧レンジ } V_{IN_{max}}) \times (演算増幅回路 11 \text{ の利得}) \\ & = V_{IN_{max}} \times 1 \\ & = V_{IN_{max}} \end{aligned}$$

減算増幅回路14は、演算増幅回路11から出力されたアナログ入力信号 V_{in} とD/Aコンバータ10のD/A変換結果とを減算して増幅する。減算増幅回路14の出力は、2段目の回路4へ転送される。1段目の減算*

*増幅回路14の出力電圧レンジは、次式のように表される。
【0014】

$$\begin{aligned} & ((\text{演算増幅回路11の出力電圧レンジ}) - (\text{D/Aコンバータ10の正規出力電圧レンジ})) \times (\text{減算増幅回路14の利得}) \\ &= ((V_{IN_{max}}) - (15V_{IN_{max}}/16)) \times 2 \\ &= V_{IN_{max}}/8 \end{aligned}$$

2段目の回路4においては、サブA/Dコンバータ9が、1段目の回路3の減算増幅回路14の出力に対してA/D変換を行う。サブA/Dコンバータ9のA/D変換結果は、D/Aコンバータ10へ転送されるとともに、3つのラッチ回路7を介して出力回路8へ転送され*

※る。これにより、2段目の回路4から中上位2ビットのデジタル出力(2^3 , 2^4)が得られる。D/Aコンバータ10の正規出力電圧レンジは、次式のように表される。
【0015】

$$\begin{aligned} & ((2^{\text{2段目の分解能}} - 1) \times (\text{D/Aコンバータ10のフルスケールレンジ}) / (\text{2段目の分解能})) \\ &= (2^2 - 1) \times (V_{IN_{max}}/4) / 2^2 \\ &= 3V_{IN_{max}}/16 \end{aligned}$$

一方、演算増幅回路11は、1段目の回路3の演算増幅回路13の出力を増幅する。演算増幅回路11の出力電★

★圧レンジは次式のように表される。
【0016】

$$\begin{aligned} & ((1\text{段目の減算増幅回路14の出力電圧レンジ}) \times (\text{演算増幅回路11の利得})) \\ &= (V_{IN_{max}}/8) \times 2 \\ &= V_{IN_{max}}/4 \end{aligned}$$

減算増幅回路14は、演算増幅回路11の出力とD/Aコンバータ10のD/A変換結果とを減算して増幅する。減算増幅回路14の出力は、3段目の回路5へ転送☆

☆される。2段目の減算増幅回路14の出力電圧のレンジは、次式のように表される。
【0017】

$$\begin{aligned} & ((\text{演算増幅回路11の出力電圧レンジ}) - (\text{D/Aコンバータ10の正規出力電圧レンジ})) \times (\text{減算増幅回路14の利得}) \\ &= ((V_{IN_{max}}/4) - (3V_{IN_{max}}/16)) \times 2 \\ &= V_{IN_{max}}/8 \end{aligned}$$

3段目の回路5においては、2段目の回路3の減算増幅回路14の出力に対して2段目の回路4と同様の動作が行われる。それにより、3段目の回路5から中下位2ビットのデジタル出力(2^3 , 2^2)が得られる。各部の出力電圧レンジは2段目の回路4と同様である。

【0018】4段目の回路6においては、3段目の回路5の減算増幅回路14の出力に対してサブA/Dコンバータ9がA/D変換を行い、下位2ビットのデジタル出力(2^1 , 2^0)が得られる。

【0019】1段目~4段目の回路3~6のデジタル出力は、各ラッチ回路7を経て同時に出力回路8に到達する。すなわち、各ラッチ回路7は各回路3~6のデジタル出力の同期をとるために設けられている。

【0020】出力回路8は、アナログ入力信号 V_{in} の10ビットのデジタル出力 D_{out} を必要な場合はデジタル補正処理後バラレル出力する。

【0021】このようにして、変換ビット数が増大し、電源電圧の減少に伴いLSB (Least Significant Bit) が小さくなっても、サブA/Dコンバータ9の分解能を向上させることができ、十分な変換精度が得られ

る。

【0022】図24(a)は図23のアナログ-デジタル変換回路の減算増幅回路の構成を示す回路図、図24(b)は図24(a)の減算増幅回路の動作を説明するための図である。

【0023】図24において、演算増幅器101の反転入力端子はノードnbに接続され、非反転入力端子は接地されている。また、演算増幅器101の出力端子はノードnoに接続されるとともにコンデンサ102を介して反転入力端子に接続されている。演算増幅器1の反転入力端子と非反転入力端子との間にはスイッチSW1が接続され、ノードnbとノードnaとの間にコンデンサ103が接続されている。ノードnaは、スイッチSW2を介してノードn1に接続され、かつスイッチSW3を介してノードn2に接続されている。これらのスイッチSW2, SW3は、通常CMOS(相補型金属酸化物半導体)電界効果トランジスタからなるCMOSスイッチにより構成される。

【0024】ノードn1に電圧 V_1 が入力され、ノードn2に電圧 V_2 が入力され、ノードnoから電圧 V_o が

出力される。

【0025】ここで、図24(b)を参照しながら図24(a)の減算増幅回路の動作を説明する。なお、コンデンサ101の容量値をCとし、コンデンサ103の容量値をKCとし、接地電位をV₀とする。Kは定数である。

【0026】まず、スイッチSW1およびスイッチSW2をオンにし、スイッチSW3をオフにする。それにより、ノードnaの電圧はV₁となる。また、ノードnoの電圧は0となる。このとき、ノードnbの電荷Q_aは次式のようになる。

$$【0027】Q_a = (V_0 - V_1) KC$$

次に、スイッチSW1をオフにした後、スイッチSW2をオフにし、かつスイッチSW3をオンにする。それにより、ノードnaの電圧はV₂となる。また、ノードnoの電圧はV₀となる。このとき、ノードnbは仮想接地するため、ノードnbの電荷Q_bは次式のようになる。

【0028】

$$Q_b = (V_0 - V_2) KC + (V_0 - V_0) C$$

ノードnbには電荷が抜け出る経路がないので、電荷保存則によりQ_a=Q_bとなる。したがって、次式が成立する。

$$【0029】(V_0 - V_1) KC = (V_0 - V_2) KC + (V_0 - V_0) C$$

上式から、ノードnoの電圧V₀は次式のようになる。

$$【0030】V_0 = V_1 + (V_1 - V_2) K$$

このようにして、電圧V₁から電圧V₂が減算され、その減算値がK倍に増幅される。

【0031】したがって、減算増幅回路は電圧V₁と電圧V₂との差をコンデンサ103とコンデンサ102との容量比で決まる利得によって出力する機能を有する。例えば、KC=C(K=1)に設定することにより、減算増幅回路に利得1倍のサンプルホールド機能を持たせることとなる。

【0032】図25は図23のアナログーデジタル変換回路において用いられるサブA/Dコンバータの構成を示す図である。

【0033】図25の並列型アナログーデジタルコンバータ9においては、複数のコンパレータ900が配置されている。複数のコンパレータ900の一方の入力端子にはアナログ入力電圧V_{in}が与えられ、他方の入力端子には高電位側基準電圧V_{RT}と低電位側基準電圧V_{RB}との間の電圧を複数の抵抗Rで分圧することにより得られる基準電圧がそれぞれ与えられる。各コンパレータ900は、一方の入力端子の電圧と他方の入力端子の電圧とを比較する。複数のコンパレータ900の比較結果をエンコーダ910によってエンコードすることにより、デジタルコードD_{code}を得ることができる。

【0034】ところで、アナログーデジタル変換回路に

与えるアナログ入力信号の電圧レンジを変更する場合、またはアナログーデジタル変換回路に与えるアナログ入力信号の方式を差動ダブルエンド入力とシングルエンド入力とで変更する場合には、アナログーデジタル変換回路の仕様を変更する必要がある。

【0035】ここで、差動ダブルエンド入力およびシングルエンド入力について説明する。図26(a)、

(b)は差動ダブルエンド入力およびシングルエンド入力におけるアナログーデジタル変換を説明するための図である。横軸はアナログ入力電圧V_{IN}を示し、縦軸は出力されたデジタルコードD_{code}を示す。

【0036】図26(a)に示すように、差動ダブルエンド入力時においては、アナログ入力信号V_{in}の正側アナログ入力電圧V_{in}(+)および負側アナログ入力電圧V_{in}(-)が相補的に変化する。それにより、正側アナログ入力電圧V_{in}(+)と負側アナログ入力電圧V_{in}(-)との差分がアナログ入力信号V_{in}の電圧レンジV_{IN₀}となる。

【0037】したがって、図26(a)に示すように、正側アナログ入力電圧V_{in}(+)が1.0Vから2.0Vの範囲で変化する、負側アナログ入力電圧V_{in}(-)が2.0Vから1.0Vの範囲で変化する場合、アナログ入力信号V_{in}の電圧レンジはV_{in}(+)-V_{in}(-)の演算から2.0Vとなる。

【0038】一方、図26(b)に示すように、シングルエンド入力時においては、正側アナログ入力電圧V_{in}(+)のみが変化する。それにより、正側アナログ入力電圧V_{in}(+)の電圧レンジがアナログ入力信号V_{in}の電圧レンジとなる。

【0039】したがって、図26(b)に示すように、正側アナログ入力電圧V_{in}(+)が1.0Vから2.0Vの範囲で変化する場合、アナログ入力信号の電圧レンジは1.0Vとなる。

【0040】すなわち、差動ダブルエンド入力方式のアナログ入力信号V_{in}の電圧レンジを2V_{IN₀}とすると、シングルエンド入力方式のアナログ入力信号V_{in}の電圧レンジはV_{IN₀}となる。

【0041】このように、差動ダブルエンド入力方式とシングルエンド入力方式とでは、各アナログ入力電圧の変化の範囲が同じであっても、アナログ入力信号の電圧レンジが異なることになる。

【0042】上記の従来のアナログーデジタル変換回路では、アナログ入力信号の電圧レンジの変更を行う場合、またはアナログ入力信号の入力方式の変更を行う場合に、回路構成を再設計する必要がある。

【0043】本発明の目的は、回路構成の再設計を行うことなくアナログ入力信号の電圧レンジの変更または差動ダブルエンド入力とシングルエンド入力との間の入力方式の変更を容易に行うことができるバイブライン型アナログーデジタル変換回路を提供することである。

【0044】

【課題を解決するための手段および発明の効果】(1)

第1の発明

第1の発明に係るアナログーデジタル変換回路は、複数段の回路からなる多段パイプライン構成を有し、最終段の回路を除く各段の回路は、入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器と、アナログーデジタル変換器から出力されるデジタル信号をアナログ信号に変換するデジタルーアナログ変換器と、入力されるアナログ信号とデジタルーアナログ変換器から出力されるアナログ信号との差分を増幅する第1の演算増幅回路とを備え、最終段の回路は、入力されたアナログ信号をデジタル信号に変換するアナログーデジタル変換器を含み、最終段の回路を除く少なくとも1段の回路が、フルスケールレンジを複数段に切り替える切り替え手段を有するアナログーデジタル変換器、フルスケールレンジを複数段に切り替える切り替え手段を有するデジタルーアナログ変換器および利得を複数段に切り替える切り替え手段を有する第1の演算増幅回路のうち少なくとも1つを含み、および/または最終段の回路がフルスケールレンジを複数段に切り替える切り替え手段を有するアナログーデジタル変換器を含むものである。

【0045】本発明に係るアナログーデジタル変換回路においては、最終段の回路を除く少なくとも1段の回路が、フルスケールレンジを複数段に切り替える切り替え手段を有するアナログーデジタル変換器、フルスケールレンジを複数段に切り替える切り替える切り替え手段を有するデジタルーアナログ変換器および利得を複数段に切り替える切り替え手段を有する第1の演算増幅回路のうち少なくとも1つを含み、および/または最終段の回路がフルスケールレンジを複数段に切り替える切り替え手段を有するアナログーデジタル変換器を含むので、アナログーデジタル変換回路のフルスケールレンジ、デジタルーアナログ変換器のフルスケールレンジおよび第1の演算増幅回路の利得のうち少なくとも1つを切り替えることができる。

【0046】それにより、差動ダブルエンド入力方式をシングルエンド入力方式に変更することによりアナログ入力信号の電圧レンジが変更されても、回路構成の再設計が不要となる。また、シングルエンド入力のアナログ入力信号の電圧レンジを変更する場合または差動ダブルエンド入力のアナログ入力信号の電圧レンジを変更する場合にも、回路構成の再設計が不要となる。

【0047】したがって、回路構成の再設計を行うことなくアナログ入力信号の電圧レンジの変更または差動ダブルエンド入力とシングルエンド入力との間の入力方式の変更を容易に行うことができる。

【0048】その結果、アナログーデジタル変換回路の開発期間の短縮化を図ることができるとともに、電圧レンジの最適化を最適化することにより低消費電力化を容

易に行うことができる。

【0049】(2)第2の発明

第2の発明に係るアナログーデジタル変換回路は、第1の発明に係るアナログーデジタル変換回路の構成において、最終段の回路を除く各段の回路は、入力されたアナログ信号を増幅して第1の演算増幅回路に与える第2の演算増幅回路をさらに含み、最終段の回路を除く少なくとも1段の回路の第2の演算増幅回路は、利得を複数段に切り替える切り替え手段を有するものである。

【0050】この場合、少なくとも1段の回路の第2の演算増幅回路の利得を複数段に切り替えることにより、回路構成の再設計を行うことなくアナログ入力信号の電圧レンジの変更または差動ダブルエンド入力とシングルエンド入力との間の入力方式の変更を容易に行うことが可能となる。

【0051】(3)第3の発明

第3の発明に係るアナログーデジタル変換回路は、第1または第2の発明に係るアナログーデジタル変換回路の構成において、最終段の回路を除く少なくとも1段の回路の第1の演算増幅回路は、利得を複数段に切り替える切り替え手段を有するものである。

【0052】この場合、少なくとも1段の回路の第1の演算増幅回路の利得を複数段に切り替えることにより、回路構成の再設計を行うことなくアナログ入力信号の電圧レンジの変更または差動ダブルエンド入力とシングルエンド入力との間の入力方式の変更を容易に行うことが可能となる。

【0053】(4)第4の発明

第4の発明に係るアナログーデジタル変換回路は、第1～第3のいずれかの発明に係るアナログーデジタル変換回路の構成において、少なくとも1段の回路のアナログーデジタル変換器は、フルスケールレンジを複数段に切り替える切り替え手段を有するものである。

【0054】この場合、少なくとも1段の回路のアナログーデジタル変換器のフルスケールレンジを複数段に切り替え可能ることにより、回路構成の再設計を行うことなくアナログ入力信号の電圧レンジの変更または差動ダブルエンド入力とシングルエンド入力との間の入力方式の変更を容易に行うことが可能となる。

【0055】(5)第5の発明

第5の発明に係るアナログーデジタル変換回路は、第1～第4のいずれかの発明に係るアナログーデジタル変換回路の構成において、最終段の回路を除く少なくとも1段の回路のデジタルーアナログ変換器は、フルスケールレンジを複数段に切り替える切り替え手段を有するものである。

【0056】この場合、少なくとも1段の回路のデジタルーアナログ変換器のフルスケールレンジを複数段に切り替えることにより、回路構成の再設計を行うことなくアナログ入力信号の電圧レンジの変更または差動ダブル

エンド入力とシングルエンド入力との間の入力方式の変更を容易に行うことが可能となる。

【0057】(6) 第6の発明

第6の発明に係るアナログ-デジタル変換回路は、第2の発明に係るアナログ-デジタル変換回路の構成において、少なくとも1段の回路の第2の演算増幅回路は、入力容量、帰還容量および演算増幅器を有し、入力されたアナログ信号を入力容量の値および帰還容量の値により定まる利得で増幅し、切り替え手段は、入力容量の値および帰還容量の値の少なくとも一方を可変に設定する可変部を含むものである。

【0058】この場合、入力されたアナログ信号が入力容量の値および帰還容量の値により定まる利得で増幅される。したがって、演算増幅器の入力容量の値および帰還容量の値の少なくとも一方を変更することにより、第2の演算増幅回路の利得を容易に切り替えることができる。

【0059】(7) 第7の発明

第7の発明に係るアナログ-デジタル変換回路は、第6の発明に係るアナログ-デジタル変換回路の構成において、可変部は、入力容量または帰還容量の一部を切り離された状態または短絡された状態に切り替える切り替え部を含むものである。

【0060】この場合、切り替え部により入力容量または帰還容量の一部を切り離された状態または短絡された状態に切り替えることにより、演算増幅器の入力容量または帰還容量を変更することができる。それにより、第2の演算増幅回路の利得を容易に切り替えることができる。

【0061】(8) 第8の発明

第8の発明に係るアナログ-デジタル変換回路は、第3の発明に係るアナログ-デジタル変換回路の構成において、少なくとも1段の回路の第1の演算増幅回路は、入力容量、帰還容量および演算増幅器を有し、入力されたアナログ信号を入力容量の値および帰還容量の値により定まる利得で増幅し、切り替え手段は、入力容量の値および帰還容量の値の少なくとも一方を可変に設定する可変部を含むものである。

【0062】この場合、入力されたアナログ信号が入力容量の値および帰還容量の値により定まる利得で増幅される。したがって、演算増幅器の入力容量の値および帰還容量の値の少なくとも一方を変更することにより、第1の演算増幅回路の利得を容易に切り替えることができる。

【0063】(9) 第9の発明

第9の発明に係るアナログ-デジタル変換回路は、第8の発明に係るアナログ-デジタル変換回路の構成において、可変部は、入力容量または帰還容量の一部を切り離された状態または短絡された状態に切り替える切り替え部を含むものである。

【0064】この場合、切り替え部により入力容量または帰還容量の一部を切り離された状態または短絡された状態に切り替えることにより、演算増幅器の入力容量または帰還容量を変更することができる。それにより、第1の演算増幅回路の利得を容易に切り替えることができる。

【0065】(10) 第10の発明

第10の発明に係るアナログ-デジタル変換回路は、第9の発明に係るアナログ-デジタル変換回路の構成において、帰還容量は、演算増幅器の入力端子と出力端子との間に並列または直列に設けられた第1および第2の容量を含み、切り替え部は、第2の容量に直列または並列に接続されたものである。

【0066】切り替え部を接続状態にすると、演算増幅器の入力端子と出力端子との間に第1および第2の容量が並列または直列に接続される。それにより、帰還容量が増加または減少する。また、切り替え部を遮断状態にすると、演算増幅器の入力端子と出力端子との間に第1の容量のみが接続される。それにより、帰還容量が減少または増加する。

【0067】(11) 第11の発明

第11の発明に係るアナログ-デジタル変換回路は、第10の発明に係るアナログ-デジタル変換回路の構成において、切り替え部は、演算増幅器の出力端子に接続されたものである。

【0068】第2の容量が切り替え部よりも出力側に接続されている場合、切り替え部が遮断状態に設定されても、第2の容量の寄生容量が充電される。それにより、利得の設定時に、寄生容量を考慮する必要性が生じ、寄生容量のばらつきにより利得がばらつくことになる。ここでは、切り替え部が第2の容量よりも出力側に接続されることにより、切り替え部が遮断状態に設定された場合に切り替え部により第2の容量が出力端子から寄生容量とともに切り離される。したがって、利得の設定時に第2の容量の寄生容量を考慮する必要性がなくなり、寄生容量のばらつきによる利得のばらつきがなくなる。

【0069】(12) 第12の発明

第12の発明に係るアナログ-デジタル変換回路は、第9の発明に係るアナログ-デジタル変換回路の構成において、入力容量は、演算増幅器の入力端子に並列または直列に設けられたものである。

【0070】切り替え部を接続状態にすると、演算増幅器の入力端子に第1および第2の容量が並列または直列に接続される。それにより、入力容量が増加または減少する。また、切り替え部を遮断状態にすると、演算増幅器の入力端子に第1の容量のみが接続される。それにより、入力容量が減少または増加する。

【0071】(13) 第13の発明

第13の発明に係るアナログ-デジタル変換回路は、第12の発明に係るアナログ-デジタル変換回路の構成に

において、切り替え部は、第2の容量の入力側に接続されたものである。

【0072】第2の容量が切り替え部よりも入力側に接続されている場合、切り替え部が遮断状態に設定されても、第2の容量の寄生容量が充電される。それにより、利得の設定時に、寄生容量を考慮する必要が生じ、寄生容量のばらつきにより利得がばらつくことになる。ここでは、切り替え部が第2の容量よりも入力側に接続されることにより、切り替え部が遮断状態に設定された場合に切り替え部により第2の容量が入力信号を受けるノードから寄生容量とともに切り離される。したがって、利得の設定時に第2の容量の寄生容量を考慮する必要がなくなり、寄生容量のばらつきによる利得のばらつきがなくなる。

【0073】(14)第14の発明

第14の発明に係るアナログーデジタル変換回路は、第4の発明に係るアナログーデジタル変換回路の構成において、少なくとも1段の回路のアナログーデジタル変換器は、複数の基準電圧を発生する基準電圧発生回路と、基準電圧発生回路により発生された複数の基準電圧を入力されたアナログ信号と比較する複数の比較器とを含み、切り替え手段は、基準電圧発生回路により発生される複数の基準電圧を可変に設定する可変部を含むものである。

【0074】この場合、基準電圧発生回路により発生される基準電圧を変更することにより、基準電圧の電圧レンジを変更することができる。それにより、アナログーデジタル変換器のフルスケールレンジを容易に切り替えることができる。

【0075】(15)第15の発明

第15の発明に係るアナログーデジタル変換回路は、第5の発明に係るアナログーデジタル変換回路の構成において、最終段の回路を除く少なくとも1段の回路のデジタルーアナログ変換器は、基準電圧を発生する基準電圧発生回路と、共通の端子に接続される複数の容量と、基準電圧発生回路と複数の容量との間に接続され、入力されるデジタル信号に応じて基準電圧発生回路により発生された基準電圧を複数の容量にそれぞれ与える複数のスイッチとを含み、切り替え手段は、基準電圧発生回路により発生される基準電圧を可変に設定する可変部を含むものである。

【0076】この場合、基準電圧発生回路により発生される基準電圧を変更することにより、基準電圧の電圧レンジを変更することができる。それにより、デジタルーアナログ変換器のフルスケールレンジを容易に切り替えることができる。

【0077】

【発明の実施の形態】(1)第1の実施の形態

図1は本発明の第1の実施の形態におけるパイプライン型アナログーデジタル変換回路の構成を示すブロック図

である。図1のアナログーデジタル変換回路は、10ビット4段パイプライン構成を有する。

【0078】図1において、アナログーデジタル変換回路1は、サンプルホールド回路2、1段目～4段目の回路3～6、複数のラッチ回路7および出力回路8から構成されている。

【0079】1段目(初段)の回路3は、切り替え可能なフルスケールレンジを有するサブA/Dコンバータ9a、D/Aコンバータ10、切り替え可能な利得を有する演算増幅回路11a、減算回路12および演算増幅回路13を備える。減算回路12および演算増幅回路13が減算増幅回路14を構成する。2段目および3段目の回路4、5は、サブA/Dコンバータ9、D/Aコンバータ10、演算増幅回路11、減算回路12および演算増幅回路13を備える。減算回路12および演算増幅回路13が減算増幅回路14を構成する。4段目(最終段)の回路6は、サブA/Dコンバータ9のみを備える。

【0080】図1のパイプライン型アナログーデジタル変換回路1が図20の従来のアナログーデジタル変換回路100と異なるのは、1段目の回路3に切り替え可能なフルスケールレンジを有するサブA/Dコンバータ9aおよび切り替え可能な利得を有する演算増幅回路11aが用いられる点である。

【0081】ここでは、1段目の回路3内のサブA/Dコンバータ9のフルスケールレンジは、アナログ入力信号の電圧レンジが $V_{IN_}$ 。のときに、それと等しい電圧レンジ $V_{IN_}$ 。に切り替えられ、アナログ入力信号の電圧レンジが $V_{IN_}$ 。/2のときには、それと等しい電圧レンジ $V_{IN_}$ 。/2に切り替えられる。また、1段目の回路3内の演算増幅回路11aの利得は、アナログ入力信号の電圧レンジが $V_{IN_}$ 。のときには1倍に切り替えられ、アナログ入力信号の電圧レンジが $V_{IN_}$ 。/2のときには2倍に切り替えられる。

【0082】1段目～3段目の回路3～5内のD/Aコンバータ10のフルスケールレンジは固定され、2段目～4段目の回路4～6内のサブA/Dコンバータ9のフルスケールレンジは固定されている。また、1段目の回路3内の演算増幅回路13および2段目および3段目の回路3、4内の演算増幅回路11、13の利得は2である。

【0083】1段目の回路3は4ビット構成、2～4段目の回路4～6はそれぞれ2ビット構成である。1～3段目の回路3～5において、サブA/Dコンバータ9、9aおよびD/Aコンバータ10のビット数(ビット構成)は同じに設定されている。

【0084】アナログ入力信号の電圧レンジが $V_{IN_}$ 。の場合における図1のアナログーデジタル変換回路1の動作および各部の電圧レンジは、図20のアナログーデジタル変換回路100と同様である。

【0085】ここでは、アナログ入力信号の電圧レンジが $V_{IN_}$ 。/2の場合における図1のアナログ-デジタル変換回路1の動作および各部の出力電圧レンジについて説明する。

【0086】サンプルホールド回路2は、アナログ入力信号 V_{in} をサンプリングして一定時間保持する。サンプルホールド回路2から出力されたアナログ入力信号 V_{in} は、1段目の回路3へ転送される。

【0087】1段目の回路3において、サブA/Dコンバータ9aは電圧レンジ $V_{IN_}$ 。/2のアナログ入力信号 V_{in} に対してアナログ-デジタル変換を行う。このときのサブA/Dコンバータ9aのフルスケールレンジは、上記のように $V_{IN_}$ 。/2に切り替えられてい

$$\begin{aligned} & (1 \text{ 段目の分解能} - 1) \times (D/A \text{ コンバータ} 10 \text{ のフルスケールレンジ}) / \\ & (1 \text{ 段目の分解能}) \\ & = (2^4 - 1) \times (V_{IN_} / 2) / 2^4 \\ & = 15 V_{IN_} / 16 \end{aligned}$$

一方、演算増幅回路11aは、アナログ入力信号 V_{in} をサンプリングして増幅および保持する。上記のように、アナログ入力信号の電圧レンジが $V_{IN_}$ 。/2の

$$\begin{aligned} & (\text{アナログ入力信号 } V_{in} \text{ の電圧レンジ}) \times (\text{演算増幅回路} 11a \text{ の利得}) \\ & = (V_{IN_} / 2) \times 2 \\ & = V_{IN_} \end{aligned}$$

減算増幅回路14は、演算増幅回路11aから出力されたアナログ入力信号 V_{in} とD/Aコンバータ10のD/A変換結果とを減算して増幅する。減算増幅回路14★

$$\begin{aligned} & ((\text{演算増幅回路} 11a \text{ の出力電圧レンジ}) - (D/A \text{ コンバータ} 10 \text{ の正規} \\ & \text{出力電圧レンジ})) \times (\text{減算増幅回路} 14 \text{ の利得}) \\ & = ((V_{IN_}) - (15 V_{IN_} / 16)) \times 2 \\ & = V_{IN_} / 8 \end{aligned}$$

2段目の回路4においては、サブA/Dコンバータ9が、1段目の回路3の減算増幅回路14の出力に対してA/D変換を行う。サブA/Dコンバータ9のA/D変換結果は、D/Aコンバータ10へ転送されるとともに、3つのラッチ回路7を介して出力回路8へ転送される。これにより、2段目の回路4から中上位2ビットのデジタル出力(2^3 , 2^4)が得られる。

【0093】一方、演算増幅回路11は、1段目の回路3の減算増幅回路14の出力を増幅する。減算増幅回路14は、演算増幅回路11の出力とD/Aコンバータ10のD/A変換結果とを減算して増幅する。減算増幅回路14の出力は、3段目の回路5へ転送される。

【0094】3段目の回路5においては、2段目の回路4の減算増幅回路14の出力に対して2段目の回路4と同様の動作が行われる。それにより、3段目の回路5から中下位2ビットのデジタル出力(2^3 , 2^2)が得られる。

【0095】4段目の回路6においては、3段目の回路5の減算増幅回路14の出力に対してサブA/Dコンバータ9がA/D変換を行い、下位2ビットのデジタル出

＊る。

【0088】サブA/Dコンバータ9aのA/D変換結果である上位4ビットのデジタル出力(2^3 , 2^2 , 2^1 , 2^0)は、D/Aコンバータ10へ転送されるとともに、4つのラッチ回路7を介して出力回路8へ転送される。D/Aコンバータ10は、サブA/Dコンバータ9aのA/D変換結果である上位4ビットのデジタル出力をアナログ信号に変換する。

【0089】D/Aコンバータ10のフルスケールレンジは $V_{IN_}$ 。に固定されているので、D/Aコンバータ10の正規出力電圧レンジは、次式のように表される。

【0090】

＊場合には利得は2倍に切り替えられるので、演算増幅回路11aの出力電圧レンジは次式のように表される。

【0091】

★の出力は、2段目の回路4へ転送される。

【0092】1段目の減算増幅回路14の出力電圧レンジは、次式のように表される。

力(2^3 , 2^0)が得られる。

【0096】1段目～4段目の回路3～6のデジタル出力は、各ラッチ回路7を経て同時に出力回路8に到達する。すなわち、各ラッチ回路7は各回路3～6のデジタル出力の同期をとるために設けられている。

【0097】出力回路8は、アナログ入力信号 V_{in} の10ビットのデジタル出力 D_{out} を必要な場合はデジタル補正処理後バラレル出力する。

【0098】上記のように、アナログ入力信号の電圧レンジが $V_{IN_}$ 。/2の場合には、1段目の回路3の演算増幅回路11aの利得および1段目の回路3のサブA/Dコンバータ9aのフルスケールレンジを切り替えることにより、1段目の回路3の減算増幅回路14から2段目の回路5へ与えられる出力信号の電圧レンジは、アナログ入力信号の電圧レンジが $V_{IN_}$ 。の場合と同様に、 $V_{IN_}$ 。/8となる。それにより、アナログ入力信号 V_{in} の電圧レンジが半分になったにもかかわらず、アナログ入力信号の電圧レンジは半分になる前と同じデジタル出力が得られる。

【0099】したがって、回路設計の変更を行うことな

く、アナログ入力信号の電圧レンジの変更に対応したアナログ-デジタル変換回路を提供することができる。

【0100】本実施の形態によれば、回路構成を変更することなく、差動ダブルエンド入力方式のアナログ-デジタル変換回路をシングルエンド入力方式のアナログ-デジタル変換回路に変更することができる。

【0101】図2(a)、(b)は図1のアナログ-デジタル変換回路1をそれぞれ差動ダブルエンド入力方式およびシングルエンド入力方式に切り替える場合の設定を示す図である。

【0102】図2(a)に示すように、差動ダブルエンド入力時には、演算増幅回路11aの利得を1倍に切り替え、サブA/Dコンバータ9aのフルスケールレンジを $2V_{IN_{ref}}$ に切り替える。本例では、差動ダブルエンド入力のアナログ入力信号 V_{in} の正側アナログ入力電圧 $V_{in}(+)$ は1.0Vから2.0Vの範囲で変化する、負側アナログ入力電圧 $V_{in}(-)$ は2.0Vから1.0Vの範囲で変化する。アナログ入力信号 V_{in} の電圧レンジは、次式のようになる。

【0103】 $2V_{IN_{ref}} = \{V_{in}(+) - V_{in}(-)\}$ の最大値 - $\{V_{in}(+) - V_{in}(-)\}$ の最小値 = 2.0 [V]

この場合、サブA/Dコンバータ9aの正側基準電圧 $V_{ref}(+)$ は1.0Vから2.0Vの範囲で変化する、負側基準電圧 $V_{ref}(-)$ は2.0Vから1.0Vの範囲で変化する。

【0104】図2(b)に示すように、シングルエンド入力時には、演算増幅回路11aの利得を2倍に切り替え、サブA/Dコンバータ9aのフルスケールレンジを $V_{IN_{ref}}$ に切り替える。本例では、シングルエンド入力のアナログ入力信号 V_{in} の正側アナログ入力電圧 $V_{in}(+)$ は1.0Vから2.0Vの範囲で変化する、負側アナログ入力電圧 $V_{in}(-)$ は1.5Vで一定である。アナログ入力信号 V_{in} の電圧レンジは、次式のようになる。

【0105】 $V_{IN_{ref}} = \{V_{in}(+) - V_{in}(-)\}$ の最大値 - $\{V_{in}(+) - V_{in}(-)\}$ の最小値 = 1.0 [V]

この場合、サブA/Dコンバータ9aの正側基準電圧 $V_{ref}(+)$ は1.0Vから2.0Vの範囲で変化する、負側基準電圧 $V_{ref}(-)$ は1.5Vで一定である。

【0106】このように、図1のアナログ-デジタル変換回路1においては、差動ダブルエンド入力方式をシングルエンド入力方式に変更することによりアナログ入力信号の電圧レンジが1/2になっても、回路構成の再設計が不要となる。

【0107】また、シングルエンド入力のアナログ入力信号の電圧レンジを1/2に変更する場合、および差動ダブルエンド入力のアナログ入力信号の電圧レンジを1/2に変更する場合にも、回路構成の再設計が不要とな

る。

【0108】このようにして、同一のLSI（大規模集積回路）において、アナログ入力信号、演算増幅回路の出力、D/A変換回路の出力および減算増幅回路の出力の電圧レンジをプログラマブルに変更することができる。その結果、開発期間の短縮化を図ることができるとともに、低消費電力化を行うことも可能である。

【0109】(2)第2の実施の形態

図3は本発明の第2の実施の形態におけるパイプライン型アナログ-デジタル変換回路の構成を示すブロック図である。図3のアナログ-デジタル変換回路1も、10ビット4段パイプライン構成を有する。

【0110】図3において、アナログ-デジタル変換回路1は、サンプルホールド回路2、1段目～4段目の回路3～6、複数のラッチ回路7および出力回路8から構成されている。

【0111】1段目の回路3は4ビット構成、2～4段目の回路4～6はそれぞれ2ビット構成である。1～3段目の回路3～5において、サブA/Dコンバータ9、9bおよびD/Aコンバータ10、10bのビット数（ビット構成）は同じに設定されている。

【0112】1段目（初段）の回路3は、サブA/Dコンバータ9、D/Aコンバータ10、演算増幅回路11、減算回路12および切り替え可能な利得を有する演算増幅回路13aを備える。減算回路12および演算増幅回路13aが減算増幅回路14aを構成する。

【0113】2段目および3段目の回路4、5は、切り替え可能なフルスケールレンジを有するサブA/Dコンバータ9b、切り替え可能なフルスケールレンジを有するD/Aコンバータ10b、演算増幅回路11、減算回路12および演算増幅回路13を備える。減算回路12および演算増幅回路13が減算増幅回路14を構成する。4段目（最終段）の回路6は、切り替え可能なフルスケールレンジを有するサブA/Dコンバータ9bのみを備える。

【0114】ここでは、2段目～4段目のサブA/Dコンバータ9bが、図20の2段目～4段目のサブA/Dコンバータ9の2倍の精度を有するものとする。以下、2段目～4段目に2倍の精度を有するサブA/Dコンバータ9bを用いた場合のアナログ-デジタル変換回路1の再設計について説明する。

【0115】1段目の回路3内の減算増幅回路14aの利得は1倍と2倍とに切り替え可能である。また、2段目～4段目の回路4～6内のサブA/Dコンバータ9bのフルスケールレンジは $V_{IN_{ref}}/8$ と $V_{IN_{ref}}/16$ とに切り替え可能である。さらに、2段目および3段目の回路4、5内のD/Aコンバータ10bのフルスケールレンジは $V_{IN_{ref}}/4$ と $V_{IN_{ref}}/8$ とに切り替え可能である。

【0116】ここでは、1段目の回路3内の減算増幅回

路14aの利得を1倍に切り替える。また、2段目～4段目の回路4～6内のサブA/Dコンバータ9bのフルスケールレンジを $V_{IN_{ref}}$ 。/16に切り替え、2段目および3段目の回路4、5内のD/Aコンバータ10bのフルスケールレンジを $V_{IN_{ref}}$ 。/8に切り替える。1段目の回路3内のサブA/Dコンバータ9のフルスケールレンジは $V_{IN_{ref}}$ 。である。また、2段目および3段目の回路3、4内の演算増幅回路11、13の利得は2である。

【0117】ここでは、アナログ入力信号の電圧レンジが $V_{IN_{ref}}$ 。の場合における図1のアナログ-デジタル変換回路1の動作および各部の出力電圧レンジについて説明する。

【0118】サンプルホールド回路2は、アナログ入力信号 V_{in} をサンプリングして一定時間保持する。サンプルホールド回路2から出力されたアナログ入力信号 V_{in} は、1段目の回路3へ転送される。

10

*【0119】1段目の回路3において、サブA/Dコンバータ9は電圧レンジ $V_{IN_{ref}}$ 。のアナログ入力信号 V_{in} に対してアナログ-デジタル変換を行う。このときのサブA/Dコンバータ9のフルスケールレンジは $V_{IN_{ref}}$ 。である。

【0120】サブA/Dコンバータ9のA/D変換結果である上位4ビットのデジタル出力(2^3 、 2^2 、 2^1 、 2^0)は、D/Aコンバータ10へ転送されるとともに、4つのラッチ回路7を介して出力回路8へ転送される。D/Aコンバータ10は、サブA/Dコンバータ9のA/D変換結果である上位4ビットのデジタル出力をアナログ信号に変換する。

【0121】D/Aコンバータ10のフルスケールレンジは固定されているので、D/Aコンバータ10の正規出力電圧レンジは、次式のように表される。

【0122】

$$\begin{aligned} & (1 \text{ 段目の分解能} - 1) \times (D/A \text{ コンバータ} 10 \text{ のフルスケールレンジ}) / \\ & (1 \text{ 段目の分解能}) \\ & = (2^4 - 1) \times (V_{IN_{ref}}) / 2^4 \\ & = 15 V_{IN_{ref}} / 16 \end{aligned}$$

一方、演算増幅回路11は、アナログ入力信号 V_{in} をサンプリングして増幅および保持する。演算増幅回路11の利得は1倍であるので、演算増幅回路11の出力電

* 圧レンジは次式のように表される。

【0123】

$$\begin{aligned} & (\text{アナログ入力信号} V_{in} \text{ の電圧レンジ}) \times (\text{演算増幅回路} 11 \text{ の利得}) \\ & = V_{IN_{ref}} \times 1 \\ & = V_{IN_{ref}} \end{aligned}$$

減算増幅回路14aは、演算増幅回路11から出力されたアナログ入力信号 V_{in} とD/Aコンバータ10のD/A変換結果とを減算して増幅する。減算増幅回路14aの出力は、2段目の回路4へ転送される。

★

★【0124】1段目の減算増幅回路14aの利得は1に切り替えられているので、1段目の減算増幅回路14aの出力電圧レンジは、次式のように表される。

【0125】

$$\begin{aligned} & ((\text{演算増幅回路} 11 \text{ の出力電圧レンジ}) - (D/A \text{ コンバータ} 10 \text{ の正規出} \\ & \text{力電圧レンジ})) \times (\text{減算増幅回路} 14a \text{ の利得}) \\ & = ((V_{IN_{ref}}) - (15 V_{IN_{ref}} / 16)) \times 1 \\ & = V_{IN_{ref}} / 16 \end{aligned}$$

2段目の回路4においては、サブA/Dコンバータ9bが、1段目の回路3の減算増幅回路14aの出力に対してA/D変換を行う。サブA/Dコンバータ9bのA/D変換結果は、D/Aコンバータ10bへ転送されるとともに、3つのラッチ回路7を介して出力回路8へ転送される。

40

【0126】この場合、サブA/Dコンバータ9bは、図20のサブA/Dコンバータ9の2倍の精度を有するので、図20のサブA/Dコンバータ9の半分のフルスケールレンジ $V_{IN_{ref}}$ 。/16で2段目の回路4から中上位2ビットのデジタル出力(2^3 、 2^2)が得られ

☆る。

【0127】D/Aコンバータ10bは、サブA/Dコンバータ9bのA/D変換結果である中上位2ビットのデジタル出力をアナログ信号に変換する。

【0128】D/Aコンバータ10bのフルスケールレンジは図20のD/Aコンバータ10の半分の $V_{IN_{ref}}$ 。/8に切り替えられているので、D/Aコンバータ10bの正規出力電圧レンジは、次式のように表される。

【0129】

$$\begin{aligned} & (2 \text{ 段目の分解能} - 1) \times (D/A \text{ コンバータ} 10b \text{ のフルスケールレンジ}) \\ & / (2 \text{ 段目の分解能}) \\ & = (2^2 - 1) \times (V_{IN_{ref}} / 8) / 2^2 \\ & = 3 V_{IN_{ref}} / 32 \end{aligned}$$

一方、演算増幅回路11は、1段目の回路3の減算増幅回路14aの出力を増幅する。上記のように、1段目の回路3の減算増幅回路14aの利得は1に切り替えられ*

(1段目の減算増幅回路14aの出力電圧レンジ) × (演算増幅回路11の利得)

$$= (VIN_{ref} / 16) \times 2$$

$$= VIN_{ref} / 8$$

減算増幅回路14は、演算増幅回路11の出力とD/Aコンバータ10bのD/A変換結果とを減算して増幅する。減算増幅回路14の出力は、3段目の回路5へ転送※10

((演算増幅回路11の出力電圧レンジ) - (D/Aコンバータ10bの正規出力電圧レンジ)) × (減算増幅回路14の利得)

$$= ((VIN_{ref} / 8) - (3VIN_{ref} / 32)) \times 2$$

$$= VIN_{ref} / 16$$

3段目の回路5においては、2段目の回路4の減算増幅回路14の出力に対して2段目の回路4と同様の動作が行われる。この場合、サブA/Dコンバータ9bは、図20のサブA/Dコンバータ9の2倍の精度を有するので、図20のサブA/Dコンバータ9の半分のフルスケールレンジ $VIN_{ref} / 16$ で3段目の回路5から中下位2ビットのデジタル出力(2^1 , 2^2)が得られる。各部の出力電圧レンジは、2段目の回路4と同様である。

【0132】4段目の回路6においては、3段目の回路5の減算増幅回路14の出力に対してサブA/Dコンバータ9bがA/D変換を行う。この場合、サブA/Dコンバータ9bは、図20のサブA/Dコンバータ9の2倍の精度を有するので、図20のサブA/Dコンバータ9の半分のフルスケールレンジ $VIN_{ref} / 16$ で4段目の回路6から下位2ビットのデジタル出力(2^1 , 2^0)が得られる。

【0133】1段目～4段目の回路3～6のデジタル出力は、各ラッチ回路7を経て同時に出力回路8に到達する。すなわち、各ラッチ回路7は各回路3～6のデジタル出力の同期をとるために設けられている。

【0134】出力回路8は、アナログ入力信号 V_{in} の10ビットのデジタル出力 $Dout$ を必要の場合はデジタル補正処理後バラレル出力する。

【0135】上記のように、図3のアナログーデジタル変換回路1では、2倍の精度を有するサブA/Dコンバータ9bを用いることにより、2段目以降の回路4～6の各部の電圧レンジが図20のアナログーデジタル変換回路100の半分になったにもかかわらず、電圧レンジが半分になる前と同じデジタル出力が得られる。

【0136】この場合、電圧レンジを2倍の精度を有するサブA/Dコンバータ9bに最適化して半分に設定することにより、各段の回路3～6を流れる電流の交流成分が減少する。それにより、回路設計の変更を行うことなく、電圧レンジを最適化することにより消費電流が低★

$$Vo(+) = (Vin(+)) - VRT1 \cdot (CA/CB)$$

*ているので、演算増幅回路11aの出力電圧レンジは次式のように表される。

【0130】

※される。

【0131】2段目の減算増幅回路14の出力電圧レンジは、次式のように表される。

★減化されたアナログーデジタル変換回路を提供することができる。

【0137】(3) 各部の回路構成

図4は図1のアナログーデジタル変換回路1における演算増幅回路11aの構成の第1の例を示す回路図である。

【0138】図4の演算増幅回路11aは、演算増幅器110、容量値切り替え回路111、112、コンデンサ113、114およびスイッチ115～122を含む。スイッチ115～122は、例えばMOS(金属酸化半導体)トランジスタにより構成される。

【0139】演算増幅器110の反転入力端子と反転出力端子との間にフィードバック容量として容量値切り替え回路111が接続され、非反転入力端子と非反転出力端子との間にフィードバック容量として容量値切り替え回路112が接続されている。また、演算増幅器110の反転入力端子に入力容量としてコンデンサ113が接続され、非反転入力端子に入力容量としてコンデンサ114が接続されている。

【0140】正側アナログ入力電圧 $V_{in}(+)$ および中間基準電圧 V_{RT1} がそれぞれスイッチ115、116を介してコンデンサ113に与えられる。また、負側アナログ入力電圧 $V_{in}(-)$ および中間基準電圧 V_{RT1} がそれぞれスイッチ117、118を介してコンデンサ114に与えられる。演算増幅器110の反転入力端子、反転出力端子、非反転入力端子および非反転出力端子は、それぞれスイッチ119、120、121、122を介して接地されている。

【0141】ここで、コンデンサ113、114の容量値をそれぞれCAとし、容量値切り替え回路111、112の容量値をそれぞれCBとすると、演算増幅器110の反転出力端子の正側アナログ出力電圧 $Vo(+)$ および非反転出力端子の負側アナログ出力電圧 $Vo(-)$ は次式のようになる。

【0142】

$$\begin{aligned} V_o(-) &= (V_{in}(-) - V_{RT1}) \cdot (C_A/C_B) \\ \Delta V_o &= V_o(+) - V_o(-) \\ &= (V_{in}(+) - V_{in}(-)) \cdot (C_A/C_B) \end{aligned}$$

したがって、容量値切り替え回路111、112の容量値C_Bを切り替えることにより、演算増幅回路11aの利得を切り替えることができる。

【0143】図5は図1のアナログ・デジタル変換回路1における演算増幅回路11aの構成の第2の例を示す回路図である。

【0144】図5の演算増幅回路11aは、演算増幅器110、コンデンサ123、124、容量値切り替え回路125、126およびスイッチ115～122を含む。

【0145】演算増幅器110の反転入力端子と反転出力端子との間にフィードバック容量としてコンデンサ123が接続され、非反転入力端子と非反転出力端子との間にフィードバック容量としてコンデンサ124が接続されている。また、演算増幅器110の反転入力端子に入力容量として容量値切り替え回路125が接続され、非反転入力端子に入力容量として容量値切り替え回路126が接続されている。

$$\begin{aligned} V_o(+) &= (V_{in}(+) - V_{RT1}) \cdot (C_C/C_D) \\ V_o(-) &= (V_{in}(-) - V_{RT1}) \cdot (C_C/C_D) \\ \Delta V_o &= V_o(+) - V_o(-) \\ &= (V_{in}(+) - V_{in}(-)) \cdot (C_C/C_D) \end{aligned}$$

したがって、容量値切り替え回路125、126の容量値C_Cを切り替えることにより、演算増幅回路11aの利得を切り替えることができる。

【0149】図6～図11は演算増幅回路11aの具体的な回路構成の第1～第6の例を示す回路図である。

【0150】図6～図11において、コンデンサC_a、C_b、C_cの各々は等しい容量値Cを有するものとする。また、mを任意の正の整数とする。

【0151】図6の例では、演算増幅器110の反転入力端子と反転出力端子との間にm個のコンデンサC_aの並列回路とスイッチS_aとが直列に接続され、かつm個のコンデンサC_aの並列回路が接続されている。ここで、mは任意の正の整数である。同様に、演算増幅器110の非反転入力端子と非反転出力端子との間にm個のコンデンサC_aの並列回路とスイッチS_aとが直列に接続され、かつm個のコンデンサC_aの並列回路が接続されている。また、演算増幅器110の反転入力端子に2m個のコンデンサC_bが接続され、非反転入力端子に2m個のコンデンサC_bが接続されている。

【0152】正側アナログ入力電圧V_{in}(+)がそれぞれスイッチS₁を介して反転入力端子側の2m個のコンデンサC_bに与えられる。また、負側アナログ入力電圧V_{in}(-)がそれぞれスイッチS₁を介して非反転入力端子側のコンデンサC_bに与えられる。高電位側基準電圧V_{RT}がそれぞれスイッチS₂を介して反転入力端子側のm個のコンデンサC_bおよび非反転入力端子側

*26が接続されている。

【0146】正側アナログ入力電圧V_{in}(+)および中間基準電圧V_{RT1}がそれぞれスイッチ115、116を介して容量値切り替え回路125に与えられる。また、負側アナログ入力電圧V_{in}(-)および中間基準電圧V_{RT1}がそれぞれスイッチ117、118を介して容量値切り替え回路126に与えられる。演算増幅器110の反転入力端子、反転出力端子、非反転入力端子および非反転出力端子は、それぞれスイッチ119、120、121、122を介して接地されている。

【0147】ここで、容量値切り替え回路125、126の容量値をそれぞれC_Cとし、コンデンサ123、124の容量値をそれぞれC_Dとすると、演算増幅器110の反転出力端子の正側アナログ出力電圧V_o(+)および非反転出力端子の負側アナログ出力電圧V_o(-)は次式ようになる。

【0148】

のm個のコンデンサC_bに与えられ、低電位側基準電圧V_{RTB}がそれぞれスイッチS₂を介して非反転入力端子側のm個のコンデンサC_bおよび非反転入力端子側のm個のコンデンサC_bに与えられる。

【0153】本例では、入力容量の値は2mCである。スイッチS_aをオンにすると、フィードバック容量の値が2mCとなり、スイッチS_aをオフにすると、フィードバック容量の値がmCとなる。したがって、差動ダブルエンド入力時には、スイッチS_aをオンに切り替えることにより利得が1倍となり、シングルエンド入力時には、スイッチS_aをオフに切り替えることにより利得が2倍となる。

【0154】図7の例では、演算増幅器110の反転入力端子と反転出力端子との間に2m個のコンデンサC_aの並列回路と2m個のコンデンサC_cの並列回路とが直列に接続され、かつコンデンサC_cに並列にスイッチS_aが接続されている。同様に、演算増幅器110の非反転入力端子と非反転出力端子との間に2m個のコンデンサC_aの並列回路と2m個のコンデンサC_cの並列回路とが直列に接続され、かつコンデンサC_cに並列にスイッチS_aが接続されている。図7の演算増幅回路11aの他の部分の構成は、図6の演算増幅回路11aと同様である。

【0155】本例では、入力容量の値は2mCである。スイッチS_aをオンにすると、フィードバック容量の値が2mCとなり、スイッチS_aをオフにすると、フィー

ドバック容量の値が mC となる。したがって、差動ダブルエンド入力時には、スイッチ S_a をオンに切り替えることにより利得が1倍となり、シングルエンド入力時には、スイッチ S_a をオフに切り替えることにより利得が2倍となる。

【0156】図8の例では、演算増幅器110の反転入力端子と反転出力端子との間に2個のコンデンサ C_a の並列回路と2個のコンデンサ C_c の並列回路とが直列に接続され、かつコンデンサ C_a に並列にスイッチ S_a が接続されている。同様に、演算増幅器110の非反転入力端子と非反転出力端子との間に2個のコンデンサ C_a の並列回路と2個のコンデンサ C_c の並列回路とが直列に接続され、かつコンデンサ C_a に並列にスイッチ S_a が接続されている。図8の演算増幅回路11aの他の部分の構成は、図6の演算増幅回路11aと同様である。

【0157】本例では、入力容量の値は $2mC$ である。スイッチ S_a をオンにすると、フィードバック容量の値が $2mC$ となり、スイッチ S_a をオフにすると、フィードバック容量の値が mC となる。したがって、差動ダブルエンド入力時には、スイッチ S_a をオンに切り替えることにより利得が1倍となり、シングルエンド入力時には、スイッチ S_a をオフに切り替えることにより利得が2倍となる。

【0158】図9の例では、演算増幅器110の反転入力端子と反転出力端子との間に m 個のコンデンサ C_a の並列回路が接続されている。同様に、演算増幅器110の非反転入力端子と非反転出力端子との間に m 個のコンデンサ C_a の並列回路が接続されている。また、演算増幅器110の反転入力端子に2個のコンデンサ C_b が接続され、非反転入力端子に2個のコンデンサ C_b が接続されている。

【0159】正側アナログ入力電圧 $V_{in}(+)$ がそれぞれスイッチ S_1 、 S_{1a} を介して反転入力端子側の2個のコンデンサ C_b に与えられる。また、負側アナログ入力電圧 $V_{in}(-)$ がそれぞれスイッチ S_1 、 S_{1a} を介して非反転入力端子側のコンデンサ C_b に与えられる。高電位側基準電圧 V_{RT} がそれぞれスイッチ S_2 、 S_{2a} を介して反転入力端子側の m 個のコンデンサ C_b および非反転入力端子側の m 個のコンデンサ C_b に与えられ、低電位側基準電圧 V_{RB} がそれぞれスイッチ S_2 、 S_{2a} を介して非反転入力端子側の m 個のコンデンサ C_b および非反転入力端子側の m 個のコンデンサ C_b に与えられる。

【0160】本例では、フィードバック容量の値は mC である。スイッチ S_{1a} 、 S_{2a} をオンにすると、入力容量の値が $2mC$ となり、スイッチ S_{1a} 、 S_{2a} をオフにすると、入力容量の値が mC となる。したがって、差動ダブルエンド入力時には、スイッチ S_{1a} 、 S_{2a} を常にオフにすることにより利得が1倍となり、シング

ルエンド入力時には、スイッチ S_{1a} 、 S_{2a} をスイッチ S_1 、 S_2 と同様にスイッチング動作することにより利得が2倍となる。

【0161】図10の例では、演算増幅器110の反転入力端子と反転出力端子との間に m 個のコンデンサ C_a の並列回路が接続されている。同様に、演算増幅器110の非反転入力端子と非反転出力端子との間に m 個のコンデンサ C_a の並列回路が接続されている。また、演算増幅器110の反転入力端子に2個のコンデンサ C_c の並列回路が接続され、コンデンサ C_c の並列回路に2個のコンデンサ C_b が接続され、コンデンサ C_c に並列にスイッチ S_a が接続されている。また、非反転入力端子に2個のコンデンサ C_c の並列回路が接続され、コンデンサ C_c の並列回路に2個のコンデンサ C_b が接続され、コンデンサ C_c に並列にスイッチ S_a が接続されている。図10の演算増幅回路11aの他の部分の構成は、図6の演算増幅回路11aと同様である。

【0162】本例では、フィードバック容量の値は mC である。スイッチ S_a をオンにすると、入力容量の値が $2mC$ となり、スイッチ S_a をオフにすると、入力容量の値が mC となる。したがって、差動ダブルエンド入力時には、スイッチ S_a をオフにすることにより利得が1倍となり、シングルエンド入力時には、スイッチ S_a をオンにすることにより利得が2倍となる。

【0163】図11の例では、演算増幅器110の反転入力端子と反転出力端子との間に m 個のコンデンサ C_a の並列回路が接続されている。同様に、演算増幅器110の非反転入力端子と非反転出力端子との間に m 個のコンデンサ C_a の並列回路が接続されている。また、演算増幅器110の反転入力端子に2個のコンデンサ C_c の並列回路が接続され、コンデンサ C_c の並列回路に2個のコンデンサ C_b が接続され、コンデンサ C_b に並列にスイッチ S_a が接続されている。また、非反転入力端子に2個のコンデンサ C_c の並列回路が接続され、コンデンサ C_c の並列回路に2個のコンデンサ C_b が接続され、コンデンサ C_b に並列にスイッチ S_a が接続されている。図11の演算増幅回路11aの他の部分の構成は、図6の演算増幅回路11aの構成と同様である。

【0164】本例では、フィードバック容量の値は mC である。スイッチ S_a をオンにすると、入力容量の値が $2mC$ となり、スイッチ S_a をオフにすると、入力容量の値が mC となる。したがって、差動ダブルエンド入力時には、スイッチ S_a をオフにすることにより利得が1倍となり、シングルエンド入力時には、スイッチ S_a をオンにすることにより利得が2倍となる。

【0165】図6～図11の演算増幅回路11aにおいて、上記のように、スイッチ S_a はMOSトランジスタにより構成される。それにより、スイッチ S_a が接続されるノードにはMOSトランジスタの拡散容量が付加さ

れ、スイッチS_aのオン時にはゲート容量が付加される。演算増幅器110の反転入力端子または非反転入力端子に容量が付加されると、演算増幅回路11aの動作速度が低下する。

【0166】図6および図7の例では、スイッチS_aが演算増幅器110の反転出力端子および非反転出力端子に接続されている。それにより、演算増幅回路11aの動作速度が低下しない。したがって、図6および図7の例が好ましい。

【0167】また、スイッチS_aがコンデンサに並列に接続された場合、スイッチS_aのオン時にオン抵抗が存在するため、コンデンサの容量を完全に切り離すことができない。

【0168】図6の例では、スイッチS_aがコンデンサC_aに直列に接続されかつスイッチS_aが演算増幅器110の反転出力端子および非反転出力端子に接続されている。それにより、スイッチS_aのオン時に、コンデンサC_aの容量を完全に切り離すことができる。したがって、図6の例が最も好ましい。

【0169】また、図9の例では、スイッチS_{1a}、S_{2a}がコンデンサC_bよりも入力側に接続されている。逆に、コンデンサC_bがスイッチS_{1a}、S_{2a}よりも入力側に接続されている場合、スイッチS_{1a}、S_{2a}がオフ状態に設定されても、コンデンサC_bの寄生容量が充電される。それにより、利得の設定時に、寄生容量を考慮する必要が生じ、寄生容量のばらつきにより利得がばらつくことになる。図9の例のように、スイッチS_{1a}、S_{2a}がコンデンサC_bよりも入力側に接続されることにより、スイッチS_{1a}、S_{2a}がオフ状態に設定された場合にスイッチS_{1a}、S_{2a}によりコンデンサC_bが寄生容量とともに切り離される。したがって、図9の例では、利得の設定時にコンデンサC_bの寄生容量を考慮する必要がなくなり、寄生容量のばらつきによる利得のばらつきがなくなる。

【0170】図12は図1のアナログ-デジタル変換回路1におけるサブA/Dコンバータ9aの構成の第1の例を示す回路図、図13は図12のサブA/Dコンバータ9aに用いられるコンパレータの構成を示す回路図である。

【0171】図12において、サブA/Dコンバータ9aは、基準電圧を発生する基準電圧発生回路92、93a、93bおよび複数のコンパレータ90を備える。

【0172】基準電圧発生回路92は、直列に接続された複数の抵抗Rからなる。基準電圧発生回路93aは、直列に接続された複数の抵抗Rからなる。基準電圧発生回路93bは、直列に接続された複数の抵抗R₁からなる。複数の抵抗Rは等しい抵抗値を有し、複数の抵抗R₁は等しい抵抗値を有する。

【0173】基準電圧発生回路92は、高電位側基準電圧VRTを受けるノードN91と低電位側基準電圧VR

Bを受けるノードN92との間に接続されている。基準電圧発生回路93aは、高電位側基準電圧VRTを受けるノードN93と低電位側基準電圧VRBを受けるノードN94との間に、スイッチS₂₄、S₂₅を介して接続されている。基準電圧発生回路93bは、高電位側基準電圧VRTを受けるノードN93と低電位側基準電圧VRBを受けるノードN94との間に接続されている。基準電圧発生回路93aの中間ノードN95と基準電圧発生回路93bの中間ノードN96との間には、スイッチS₂₆が接続されている。

【0174】基準電圧発生回路92の抵抗R間の接続点にそれぞれ異なる基準電圧が生成される。同様に、基準電圧発生回路93aの抵抗R間の接続点にそれぞれ異なる基準電圧が生成される。ここでは、基準電圧発生回路92により得られる異なる基準電圧を正側基準電圧V_{ref}(+)と呼ぶ。基準電圧発生回路93aにより得られる異なる基準電圧を負側基準電圧V_{ref}(-)と呼ぶ。

【0175】基準電圧発生回路93bの中間ノードN96には、高電位側基準電圧VRTと低電位側基準電圧VRBとの中間の電圧である中間基準電圧VRT1(=(VRT-VRB)/2)が生成される。

【0176】図13に示すように、各コンパレータ90は、演算増幅器91、コンデンサC₁、C₂およびスイッチS₁₃~S₁₈を含む。演算増幅器91の反転入力端子と反転出力端子との間にスイッチS₁₃が接続され、非反転入力端子と非反転出力端子との間にスイッチS₁₄が接続されている。また、演算増幅器91の反転入力端子にはコンデンサC₁が接続され、非反転入力端子にはコンデンサC₂が接続されている。コンデンサC₁にはスイッチS₁₅、S₁₆が接続され、コンデンサC₂にはスイッチS₁₇、S₁₈が接続されている。なお、図12では、各コンパレータ90のスイッチS₁₃、S₁₄の図示を省略している。

【0177】正側アナログ入力電圧V_{in}(+)および正側基準電圧V_{ref}(+)がそれぞれスイッチS₁₅、S₁₆を介してコンデンサC₁に与えられる。また、負側アナログ入力電圧V_{in}(-)および負側基準電圧V_{ref}(-)がそれぞれスイッチS₁₇、S₁₈を介してコンデンサC₂に与えられる。

【0178】初期状態では、スイッチS₁₃、S₁₄、S₁₅、S₁₇がオンし、スイッチS₁₆、S₁₈がオフしている。次に、スイッチS₁₃、S₁₄をオフした後、スイッチS₁₅、S₁₇をオフし、スイッチS₁₆、S₁₈をオンする。スイッチS₁₃、S₁₄をオフした時点で、演算増幅器91の反転入力端子および非反転入力端子がフローティング状態となっているので、反転入力端子の電圧が(V_{in}(+)-V_{ref}(+))遷移し、非反転入力端子の電圧が(V_{in}(-)-V_{ref}(-))遷移する。結果的に、差動アナログ入力電

10

20

30

40

50

圧 ($V_{in}(+) - V_{in}(-)$) と差動基準電圧 ($V_{ref}(+) - V_{ref}(-)$) とが比較され、比較結果に応じて正側アナログ出力電圧 $V_{out}(+)$ および負側アナログ出力電圧 $V_{out}(-)$ が変化する。

【0179】図12の複数のコンパレータ90の比較結果をエンコーダ950によってエンコードすることにより、デジタルコード D_{code} を得ることができる。

【0180】図12のサブA/Dコンバータ9aにおいて、差動ダブルエンド入力時には、スイッチS24、S25をオンし、スイッチS26をオフする。それにより、各コンパレータ90のコンデンサC2にスイッチS18を介して基準電圧発生回路93aによりそれぞれ異なる負側基準電圧 $V_{ref}(-)$ が与えられる。シングルエンド入力時には、スイッチS24、S25をオフし、スイッチS26をオンにする。それにより、各コンパレータ90のコンデンサC2にスイッチS18を介して基準電圧発生回路93bにより中間基準電圧 V_{RT1} が与えられる。

【0181】このようにして、サブA/Dコンバータ9aにおいて、フルスケールレンジが切り替えられる。

【0182】なお、基準電圧発生回路93bを設けずに、スイッチS26を基準電圧発生回路93aの中間ノードN95と基準電圧発生回路92の中間ノードとの間に接続してもよい。

【0183】図14は図1のアナログーデジタル変換回路1におけるサブA/Dコンバータ9aの構成の第2の例を示す回路図、図15は図14のサブA/Dコンバータ9aに用いられるコンパレータの構成を示す回路図である。

【0184】図14において、基準電圧発生回路93aの中間ノードN95と基準電圧発生回路93bの中間ノードN96との間には、図12のスイッチS26が接続されていない。

【0185】図15に示すように、各コンパレータ90は、演算増幅器91、コンデンサC1、C2およびスイッチS13～S18を含み、さらにスイッチS21、S22を含む。スイッチS21の一端はコンデンサC1に接続され、スイッチS21の他端は開放されている。スイッチS22の一端はコンデンサC2に接続され、他端は図14の基準電圧発生回路93bの中間ノードN96に接続されている。図15のコンパレータ90の他の部分の構成は、図13のコンパレータ90の構成と同様である。

【0186】基準電圧発生回路93bにより中間基準電圧 V_{RT1} がスイッチS22を介してコンデンサC2に与えられる。

【0187】差動ダブルエンド入力時の図15のコンパレータ90の動作は、図13のコンパレータ90の動作と同様である。このとき、スイッチS21、S22は常時オフしている。シングルエンド入力時には、スイッチ

S18の代わりにスイッチS22を動作させる。このとき、スイッチS21は常時オフしている。

【0188】図14のサブA/Dコンバータ9aにおいて、差動ダブルエンド入力時には、スイッチS24、S25をオンする。このとき、スイッチS21、S22は常時オフにする。それにより、各コンパレータ90のコンデンサC2にスイッチS18を介して基準電圧発生回路93aによりそれぞれ異なる負側基準電圧 $V_{ref}(-)$ が与えられる。シングルエンド入力時には、スイッチS24、S25をオフし、スイッチS18の代わりにスイッチS22を動作させる。このとき、スイッチS21は常時オフしている。それにより、各コンパレータ90のコンデンサC2にスイッチS22を介して基準電圧発生回路93bにより中間基準電圧 V_{RT1} が与えられる。

【0189】このようにして、サブA/Dコンバータ9aにおいて、フルスケールレンジが切り替えられる。

【0190】なお、各コンパレータ90にスイッチS21を設けなくてもよいが、コンパレータ90の回路構成の対称性を確保するためには、スイッチS21を設けることが好ましい。

【0191】図16は図3のアナログーデジタル変換回路1における2段目の回路4内のサブA/Dコンバータ9bの回路図である。図16のサブA/Dコンバータ9bは全並列比較（フラッシュ）方式サブA/Dコンバータである。

【0192】サブA/Dコンバータ9bは、基準電圧を発生する基準電圧発生回路94、95および複数個のコンパレータ90から構成される。基準電圧発生回路94、95の各々は、抵抗R2、2n個の抵抗Rおよび抵抗R3からなる。抵抗R2、R3はそれぞれ抵抗Rのn倍の抵抗値を有する。抵抗R2、2n個の抵抗Rおよび抵抗R3は、高電位側基準電圧 V_{RT2} を受けるノードN97と低電位側基準電圧 V_{RB2} を受けるノードN98との間に接続されている。抵抗R2の両端にはスイッチS28が接続され、抵抗R3の両端にはスイッチS29が接続されている。

【0193】基準電圧発生回路94の抵抗R間の接続点にそれぞれ異なる基準電圧が生成される。同様に、基準電圧発生回路95の抵抗R間の接続点にそれぞれ異なる基準電圧が生成される。ここでは、基準電圧発生回路94により得られる異なる基準電圧を正側基準電圧 $V_{ref}(+)$ と呼ぶ。基準電圧発生回路95により得られる異なる基準電圧を負側基準電圧 $V_{ref}(-)$ と呼ぶ。

【0194】正側アナログ入力電圧 $V_{in}(+)$ および正側基準電圧 $V_{ref}(+)$ がそれぞれスイッチS15、S16を介して各コンパレータ90のコンデンサC1に与えられる。また、負側アナログ入力電圧 $V_{in}(-)$ および負側基準電圧 $V_{ref}(-)$ がそれぞれスイッチS17、S18を介して各コンパレータ90のコン

ンデンサC2に与えられる。図16のコンパレータ90の構成および動作は、図13のコンパレータ90の構成および動作と同様である。

【0195】ここで、高電位側基準電圧 V_{RT2} と低電位側基準電圧 V_{RB2} との差は $V_{IN_}/8$ に設定される。基準電圧発生回路95、96のスイッチS28、S29がオフの場合には、フルスケールレンジは $V_{IN_}/16$ である。また、スイッチS28、S29をオンにすると、フルスケールレンジは $V_{IN_}/8$ となる。このようにして、サブA/Dコンバータ9bでは、フルスケールレンジを1倍と2倍とに切り替えることができる。

【０１９６】図１７は図３のアナログーデジタル変換回路１における２段目の回路４内のＤ／Ａコンバータ１０の回路図である。図１７のＤ／Ａコンバータ１０は容量アレイ方式Ｄ／Ａコンバータである。

【０１９７】Ｄ／Ａコンバータ１０は、基準電圧を発生する基準電圧発生回路９６、アレイ状に接続されたそれぞれ複数個の正側のスイッチＳ５１、Ｓ５２、複数個の負側のスイッチＳ５３、Ｓ５４、複数個の正側コンデンサＣ５０、および複数個の負側コンデンサＣ５１から構成される。

【０１９８】基準電圧発生回路９６は、抵抗Ｒ４、複数個の抵抗Ｒおよび抵抗Ｒ５からなる。抵抗Ｒ４、Ｒ５は、複数個の抵抗Ｒの合計の抵抗値の半分の抵抗値を有する。抵抗Ｒ４、複数個の抵抗Ｒおよび抵抗Ｒ５は、高電位側基準電圧ＶＲＴ３を受けるノードＮ１０１と低電位側基準電圧ＶＲＢ３を受けるノードＮ１０２との間に直列に接続されている。抵抗Ｒ４の両端にはスイッチＳ３０が接続され、抵抗Ｒ５の両端にはスイッチＳ３１が接続されている。

【0199】コンデンサC50、C51はすべて同じ容量値を有する。コンデンサC50の一方の端子（以下、出力端子と呼ぶ）N111からは差動正側出力電圧VDA（+）が生成され、コンデンサC51の一方の端子（以下、出力端子という）N112からは差動負側出力電圧VDA（-）が生成される。なお、各コンデンサC50、C51の他方の端子を入力端子と呼ぶ。

【0200】各スイッチS51の一方の端子は抵抗R4と抵抗Rとの間のノードN103に接続され、他方の端子はコンデンサC50の入力端子に接続されている。各スイッチS52の一方の端子は抵抗R5と抵抗Rとの間のノードN104に接続され、他方の端子はコンデンサC50の入力端子に接続されている。各スイッチS53の一方の端子は抵抗R4と抵抗Rとの間のノードN103に接続され、他方の端子はコンデンサC51の入力端子に接続されている。各スイッチS54の一方の端子は抵抗R5と抵抗Rとの間のノードN104に接続され、他方の端子はコンデンサC51の入力端子に接続されている。

【0201】スイッチS51, S52, S53, S54は、図16のサブA/Dコンバータ9bのコンパレータ90の出力レベルに従ってオンオフ動作する。同じコンパレータ90の出力信号を受ける4個のスイッチS51, S52, S53, S54が4連スイッチを構成する。例えば、1つのコンパレータ90の出力がハイレベルの場合、4連スイッチのスイッチS51, S54がオンし、スイッチS52, S53がオフする。逆に、1つのコンパレータ90の出力がローレベルの場合、4連スイッチのスイッチS51, S54がオフし、スイッチS52, S53がオンする。

【0202】サブA/Dコンバータ9bの複数のコンバータ90の出力レベルに応じて複数のスイッチS51、S52、S53、S54がオンオフ動作し、出力端子N111、N112に差動正側出力電圧VDA(+)および差動負側出力電圧VDA(-)が得られる。

【0203】ここで、高電位側基準電圧 V_{RT3} と低電位側基準電圧 V_{RB3} との差は $V_{IN_}/4$ に設定される。基準電圧発生回路96のスイッチ S_{30} 、 S_{31} がオフの場合には、フルスケールレンジは $V_{IN_}/8$ である。スイッチ S_{30} 、 S_{31} をオンにすると、フルスケールレンジは $V_{IN_}/4$ となる。このようにして、D/Aコンバータ10bでは、フルスケールレンジを1倍と2倍とに切り替えることができる。

【０２０４】図１８は図３のアナログ－デジタル変換回路１における減算増幅回路１４ａの構成の第１の例を示す回路図である。

【０２０５】図１８の減算増幅回路１４ａは、演算増幅器１３０、容量値切り替え回路１３１、１３２、コンデンサ１３３、１３４およびスイッチ１３５～１３８を含む。スイッチは、例えばＭＯＳ（金属酸化半導体）トランジスタにより構成される。

【0206】演算増幅器130の反転入力端子と反転出力端子との間にフィードバック容量として容量値切り替え回路131が接続され、非反転入力端子と非反転出力端子との間にフィードバック容量として容量値切り替え回路132が接続されている。また、演算増幅器130の反転入力端子に入力容量としてコンデンサ133が接続され、非反転入力端子に入力容量としてコンデンサ134が接続されている。

【０２０７】図３の演算増幅回路１１から出力される正側アナログ出力電圧 $V_o(+)$ および D/A コンバータ１０ｂから出力される差動正側出力電圧 $V_{DA}(+)$ がそれぞれスイッチ１３５、１３６を介してコンデンサ１３３に与えられる。また、演算増幅回路１１から出力される負側アナログ出力電圧 $V_o(-)$ および D/A コンバータ１０ｂから出力される差動正側出力電圧 $V_{DA}(-)$ がそれぞれスイッチ１３７、１３８を介してコンデンサ１３４に与えられる。演算増幅器１３０の反転入力端子、反転出力端子、非反転入力端子および非反転出

力端子は、それぞれスイッチ139, 140, 141, 142を介して接地されている。

【0208】図18の減算増幅回路14aの動作は、図4の演算増幅回路11aの動作と同様である。演算増幅器130の反転出力端子および非反転出力端子からは次段の回路4へ与えられる正側アナログ入力電圧 $V_{in}(+)$ および負側アナログ入力電圧 $V_{in}(-)$ が得られる。

【0209】ここで、容量値切り替え回路131, 132の容量値を切り替えることにより、減算増幅回路14aの利得を切り替えることができる。

【0210】図19は図3のアナログ-デジタル変換回路1における減算増幅回路14aの構成の第2の例を示す回路図である。

【0211】図19の減算増幅回路14aは、演算増幅器130、コンデンサ139, 140、容量値切り替え回路141, 142およびスイッチ135~140を含む。

【0212】演算増幅器130の反転入力端子と反転出力端子との間にフィードバック容量としてコンデンサ139が接続され、非反転入力端子と非反転出力端子との間にフィードバック容量としてコンデンサ140が接続されている。また、演算増幅器130の反転入力端子に入力容量として容量値切り替え回路141が接続され、非反転入力端子に入力容量として容量値切り替え回路142が接続されている。

【0213】図3の演算増幅回路11から出力される正側アナログ出力電圧 $V_o(+)$ およびD/Aコンバータ10bから出力される差動正側出力電圧 $V_{DA}(+)$ がそれぞれスイッチ135, 136を介して容量値切り替え回路141に与えられる。また、演算増幅回路11から出力される負側アナログ出力電圧 $V_o(-)$ およびD/Aコンバータ10bから出力される差動正側出力電圧 $V_{DA}(-)$ がそれぞれスイッチ137, 138を介して容量値切り替え回路142に与えられる。演算増幅器130の反転入力端子、反転出力端子、非反転入力端子および非反転出力端子は、それぞれスイッチ139, 140, 141, 142を介して接地されている。

【0214】図19の減算増幅回路14aの動作は、図5の演算増幅回路11aの動作と同様である。演算増幅器130の反転出力端子および非反転出力端子からは次段の回路4へ与えられる正側アナログ入力電圧 $V_{in}(+)$ および負側アナログ入力電圧 $V_{in}(-)$ が得られる。

【0215】ここで、容量値切り替え回路141, 142の容量値を切り替えることにより、減算増幅回路14aの利得を切り替えることができる。

【0216】上記の実施の形態のスイッチ $S_a, S_{1a}, S_{2a}, S_{24}, S_{25}, S_{26}, S_{28}, S_{29}, S_{30}, S_{31}$ は、例えばMOS（金属酸化物半導

体）電界効果トランジスタにより形成される。

【0217】上記実施の形態では、切り替え手段の切り替え部としてスイッチ $S_a, S_{1a}, S_{2a}, S_{24}, S_{25}, S_{26}, S_{28}, S_{29}, S_{30}, S_{31}$ を用いている。この場合には、製造時または使用時にスイッチ $S_a, S_{1a}, S_{2a}, S_{24}, S_{25}, S_{26}, S_{28}, S_{29}, S_{30}, S_{31}$ をオンまたはオフに切り替えることができる。切り替え手段の切り替え部はスイッチに限定されない。例えば、切り替え部としてレーザにより溶断可能なヒューズを用いてもよく、切り替え部として最上層金属のパターニング用マスク切り替え部を用いてもよい。

【0218】図20は切り替え部の他の例を示す回路図である。図20の例では、図6の演算増幅回路11aのスイッチ S_a の代わりにヒューズ F_a を用いている。ヒューズ F_a は、例えばポリシリコンからなり、レーザにより溶断可能である。製造時に、ヒューズ F_a をレーザを用いて溶断するか否かにより演算増幅回路11aの利得を切り替えることができる。

【0219】図21および図22は切り替え部のさらに他の例を示す図であり、上部に平面図を示し、下部に断面図を示す。

【0220】容量形成部C500において、下層金属 LM_1, LM_2 によりコンデンサの電極501, 502が形成されている。また、下層金属 LM_1 により電極507, 508が形成されている。さらに、最上層金属 UM により、所定間隔で電極512, 513が形成されかつ所定間隔で電極514, 515が形成されている。電極501はスルーホール503内の金属を介して電極512に接続され、電極502はスルーホール504内の金属を介して電極514に接続されている。また、電極507はスルーホール505内の金属を介して電極512に接続され、電極508はスルーホール506内の金属を介して電極515に接続されている。

【0221】例えば、507は図6の演算増幅器110の反転入力端子に接続され、電極508は図6の演算増幅器110の反転出力端子に接続される。

【0222】電極501, 502により容量形成部C500が形成され、電極512, 513間および電極514, 515間によりマスク切り替え部 MSW がそれぞれ形成される。容量形成ブロックC500は、例えば図6のコンデンサ C_a に相当する。

【0223】製造時に、マスク切り替え部 MSW 上に配置するマスクのパターンを変更することにより、電極512, 513間および電極514, 515間を接続状態および遮断状態に切り替えることができる。

【0224】図21に示すように、電極512, 513間および電極514, 515間に最上層金属 UM により金属層510, 511が形成されるようなマスクを用いることにより、電極512, 513間および電極51

4, 515間を接続することができる。

【0225】図22に示すように、電極512, 513間および電極514, 515間に最上層金属UMにより金属層が形成されないようなマスクを用いることにより、電極512, 513間および電極514, 515間を遮断することができる。

【0226】図21および図22の例では、容量形成部C500の両方の端子にマスク切り替え部をそれぞれ設けることにより、容量形成部C500を演算増幅器から完全に切り離すことができる。

【0227】なお、本発明は、上記実施の形態に限定されず、アナログーデジタル変換回路の任意の段の回路において、切り替え可能な利得を有する演算増幅回路、切り替え可能な利得を有する減算増幅回路、切り替え可能なフルスケールレンジを有するサブA/Dコンバータおよび切り替え可能なフルスケールレンジを有するD/Aコンバータのうち少なくとも1つを用いてもよい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるパイプライン型アナログーデジタル変換回路の構成を示すブロック図である。

【図2】図1のアナログーデジタル変換回路をそれぞれ差動ダブルエンド入力方式およびシングルエンド入力方式に切り替える場合の設定を示す図である。

【図3】本発明の第2の実施の形態におけるパイプライン型アナログーデジタル変換回路の構成を示すブロック図である。

【図4】図1のアナログーデジタル変換回路における演算増幅回路の構成の第1の例を示す回路図である。

【図5】図1のアナログーデジタル変換回路における演算増幅回路の構成の第2の例を示す回路図である。

【図6】演算増幅回路の具体的な回路構成の第1の例を示す回路図である。

【図7】演算増幅回路の具体的な回路構成の第2の例を示す回路図である。

【図8】演算増幅回路の具体的な回路構成の第3の例を示す回路図である。

【図9】演算増幅回路の具体的な回路構成の第4の例を示す回路図である。

【図10】演算増幅回路の具体的な回路構成の第5の例を示す回路図である。

【図11】演算増幅回路の具体的な回路構成の第6の例を示す回路図である。

【図12】図1のアナログーデジタル変換回路におけるサブA/Dコンバータの構成の第1の例を示す回路図である。

【図13】図12のサブA/Dコンバータに用いられるコンパレータの構成を示す回路図である。

【図14】図1のアナログーデジタル変換回路におけるサブA/Dコンバータの構成の第2の例を示す回路図である。

【図15】図14のサブA/Dコンバータに用いられるコンパレータの構成を示す回路図である。

【図16】図3のアナログーデジタル変換回路における2段目の回路内のサブA/Dコンバータの回路図である。

【図17】図3のアナログーデジタル変換回路における2段目の回路内のD/Aコンバータの回路図である。

【図18】図3のアナログーデジタル変換回路における減算増幅回路の構成の第1の例を示す回路図である。

【図19】図3のアナログーデジタル変換回路における減算増幅回路の構成の第2の例を示す回路図である。

【図20】切り替え手段の切り替え部の他の例を示す回路図である。

【図21】切り替え手段の切り替え部のさらに他の例を示す平面図および断面図である。

【図22】切り替え手段の切り替え部のさらに他の例を示す平面図および断面図である。

【図23】従来のアナログーデジタル変換回路を示すブロック図である。

【図24】図23のアナログーデジタル変換回路の減算増幅回路の構成を示す回路図およびその減算増幅回路の動作を説明するための図である。

【図25】図23のアナログーデジタル変換回路において用いられるサブA/Dコンバータの構成を示す図である。

【図26】差動ダブルエンド入力およびシングルエンド入力におけるアナログーデジタル変換を説明するための図である。

【符号の説明】

1 アナログーデジタル変換回路

3~6 1段目~4段目の回路

9, 9a, 9b サブA/Dコンバータ

10, 10b D/Aコンバータ

11, 13, 13a 演算増幅回路

12 減算回路

14, 14a 減算増幅回路

VRT, VRT2, VRT3 高電位側基準電圧

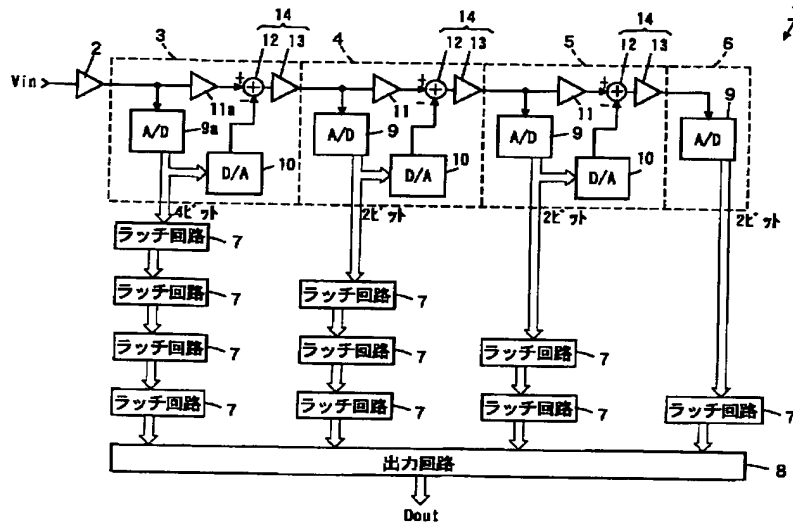
VRB, VRB2, VRB3 低電位側基準電圧

VRT1 中間基準電圧

Sa, S1a, S1b, S24, S25, S26, S2

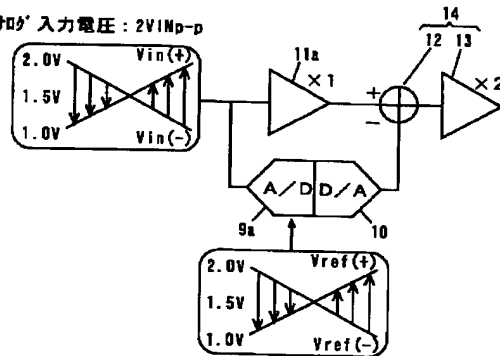
6, S28, S29, S30, S31 スイッチ

【図1】

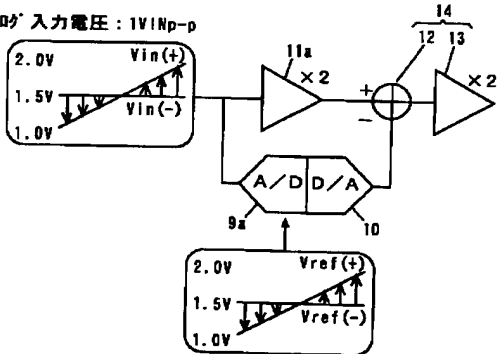


【図2】

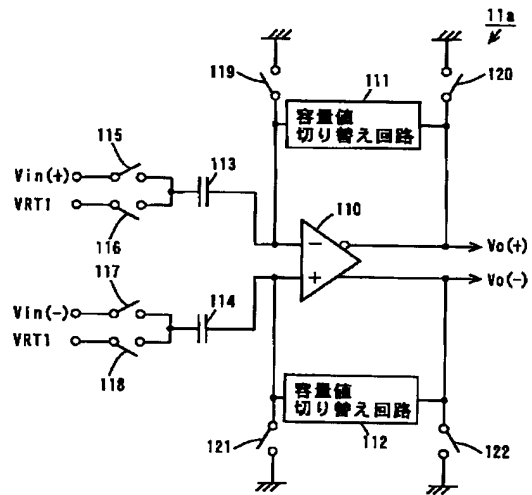
(a)

7桁 入力電圧: $2VINp-p$ 

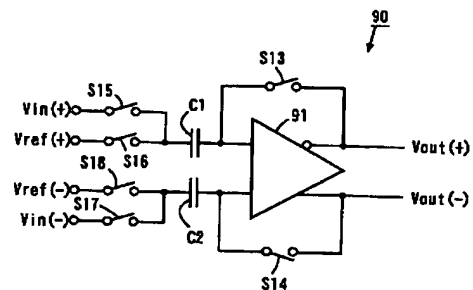
(b)

7桁 入力電圧: $1VINp-p$ 

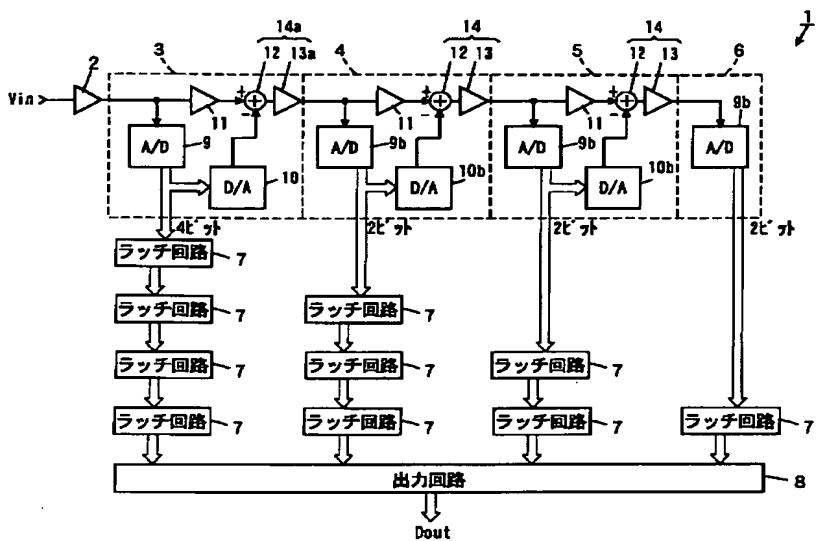
【図4】



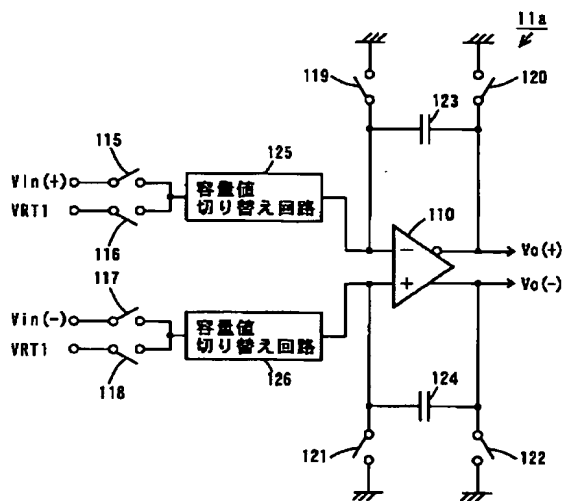
【図13】



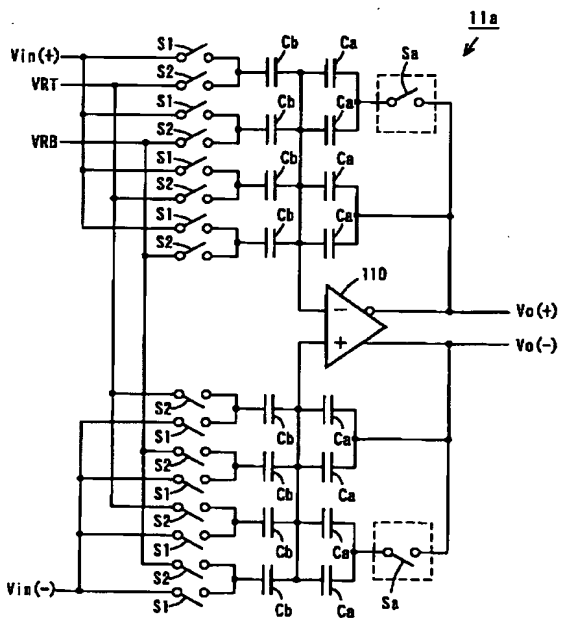
【図 3】



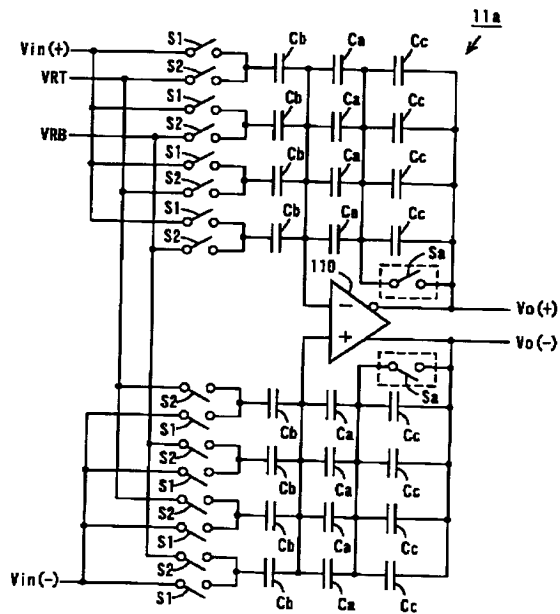
【圖5】



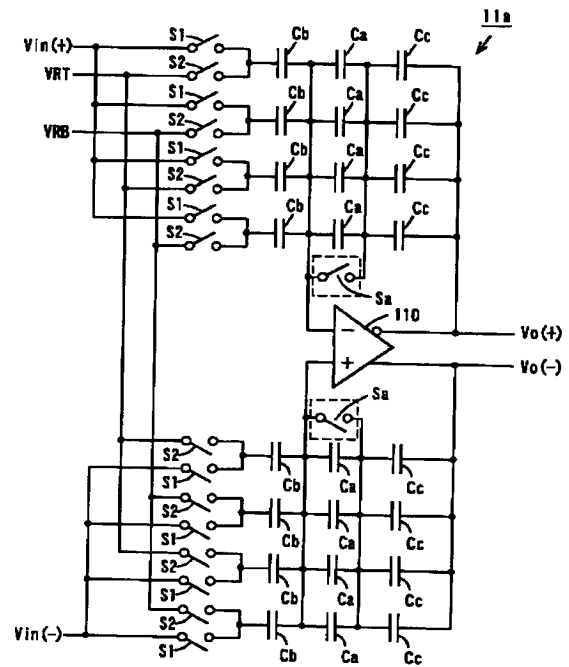
【図6】



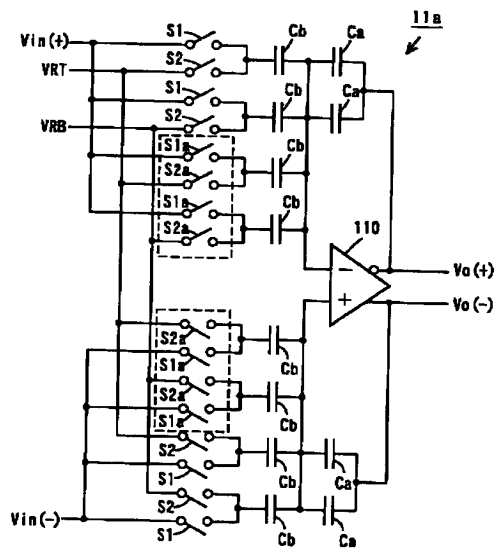
【図7】



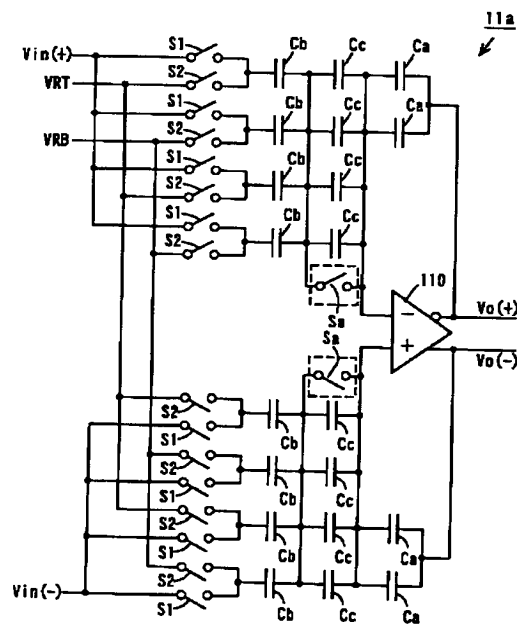
【図8】



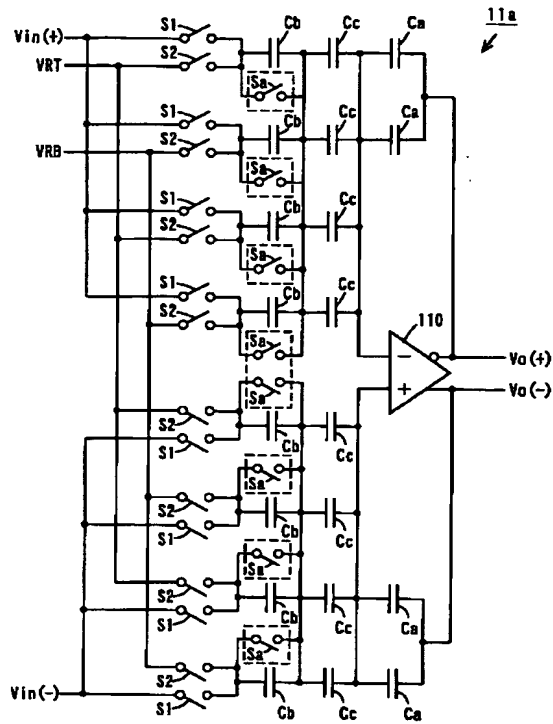
【図9】



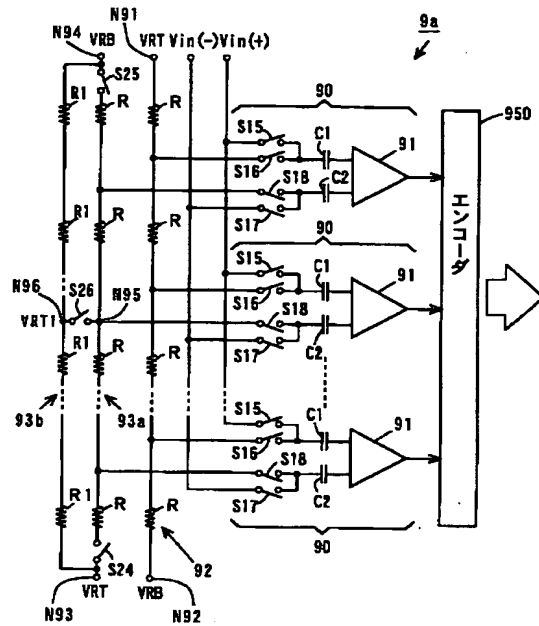
【図10】



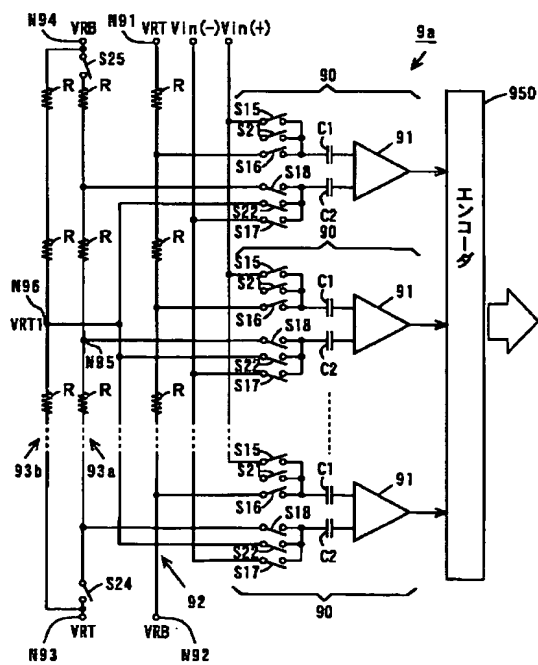
【図11】



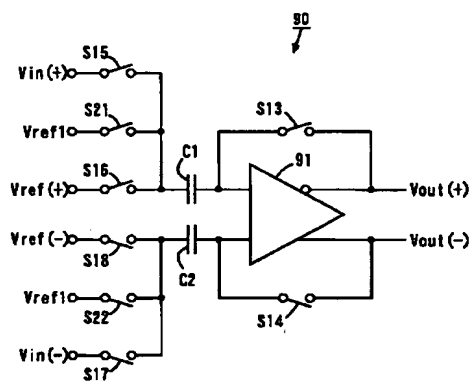
【図12】



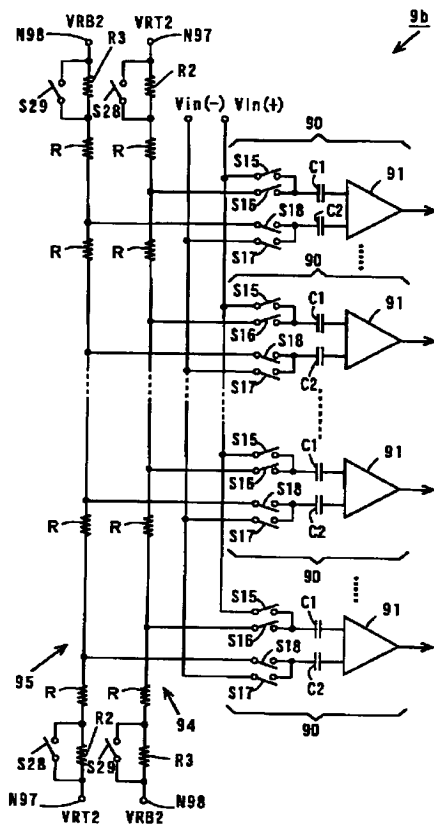
【図14】



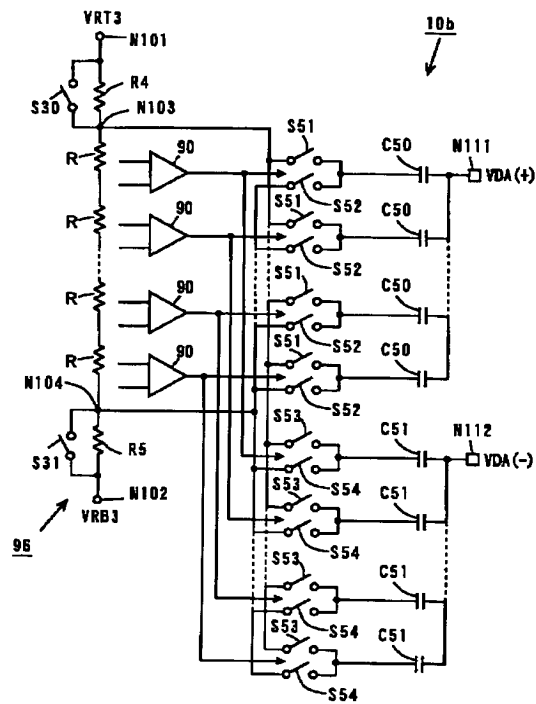
【図15】



【図16】

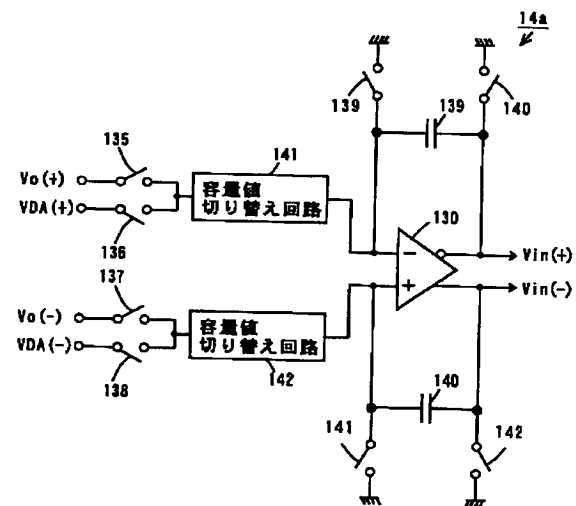
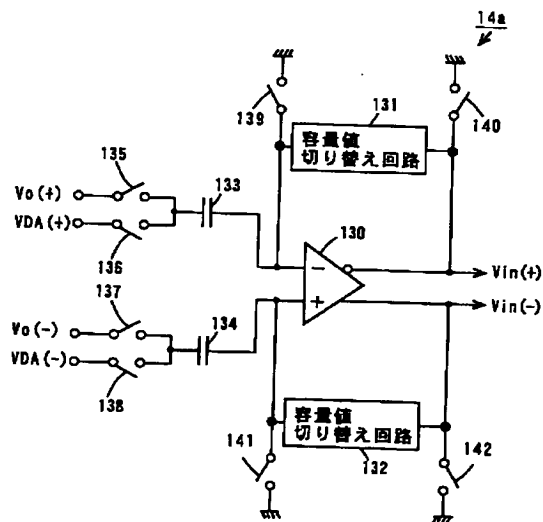


【図17】

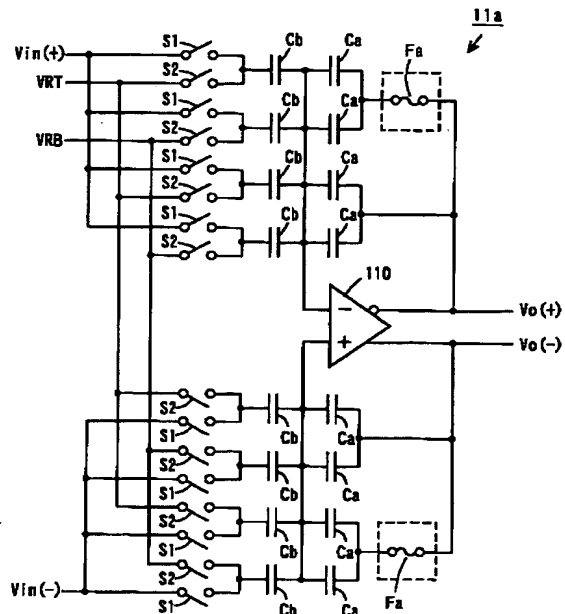


【図19】

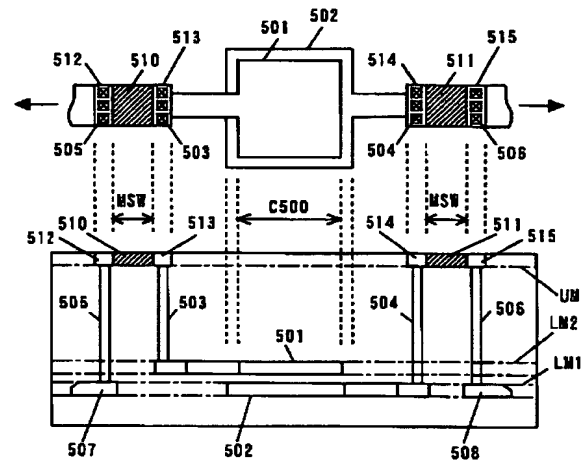
【図18】



【図20】

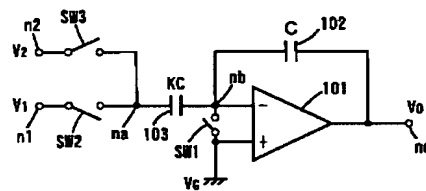


【図21】

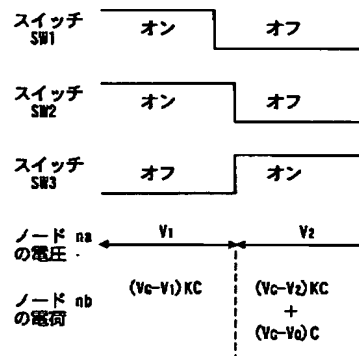


【図24】

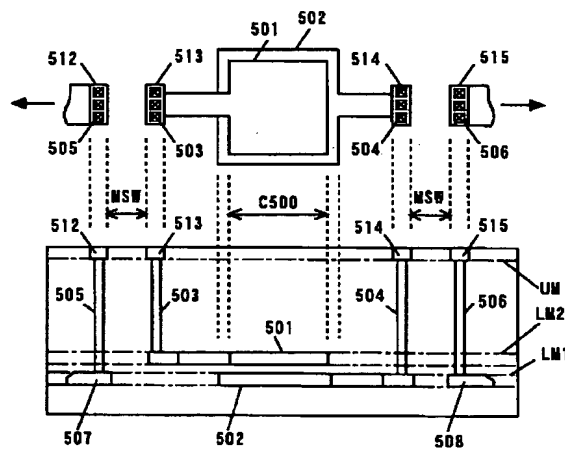
(a)



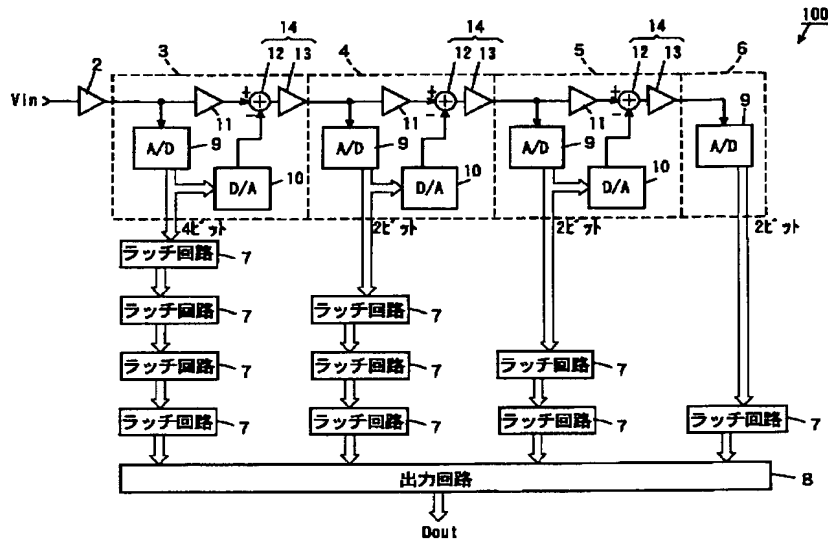
(b)



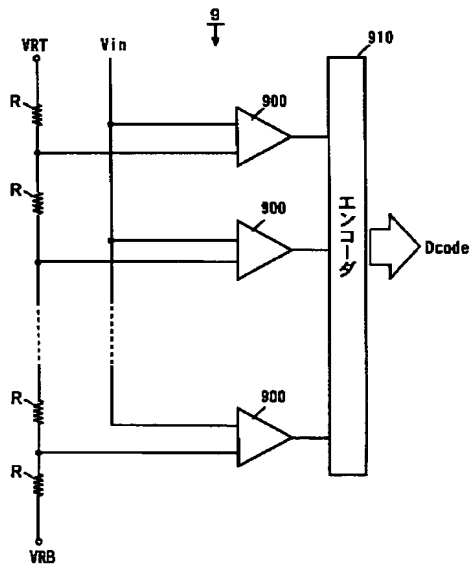
【図22】



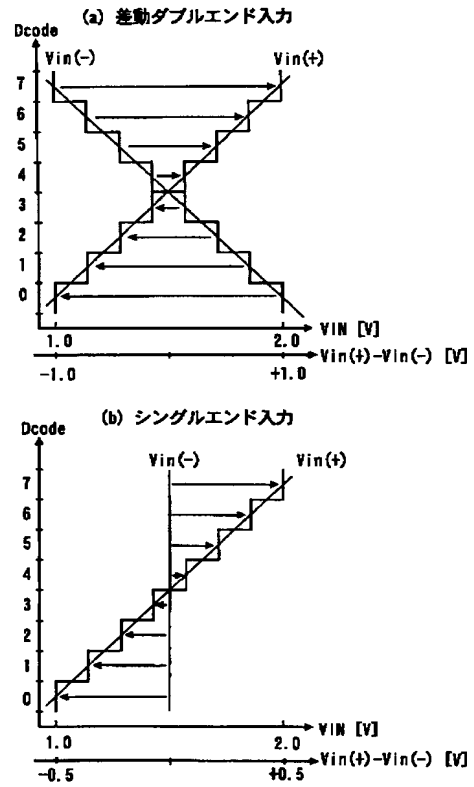
【図23】



【図25】



【図26】



フロントページの続き

(72)発明者 木村 安行
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72)発明者 谷 邦之
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 和田 淳
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
Fターム(参考) 5J022 AA15 AB01 AC02 BA01 BA05
CA10 CB06 CC01 CD03 CE01
CE08 CF02 CF07

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)